

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

18033088

Basic Patent (No,Kind,Date): US 20020113760 AA 20020822 <No. of Patents: 002>

Light emitting device and electronic device (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (US)

Author (Inventor): KIMURA HAJIME (JP)

National Class: *345082000;

IPC: *G09G-003/32;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002323873	A2	20021108	JP 200240963	A	20020219
US 20020113760	AA	20020822	US 79072	A	20020220 (BASIC)

Priority Data (No,Kind,Date):

JP 200240963 A 20020219

JP 200144367 A 20010221

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07455358 **Image available**

LIGHT EMISSION DEVICE AND ELECTRONIC EQUIPMENT

PUB. NO.: **2002-323873** [JP 2002323873 A]

PUBLISHED: November 08, 2002 (20021108)

INVENTOR(s): KIMURA HAJIME

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2002-040963 [JP 200240963]

FILED: February 19, 2002 (20020219)

PRIORITY: 2001-044367 [JP 200144367], JP (Japan), February 21, 2001
(20010221)

INTL CLASS: G09G-003/30; G09G-003/20; H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To provide a light emission device capable of displaying a beautiful picture by preventing the light emission of an OLED(organic light emitting diode) due to the OFF current of a TFT(thin film transistor) for drive and suppressing the reduction of the contrast of the picture.

SOLUTION: In this device, a wiring (which is hereinafter referred to as a discharge wiring) which is held at a prescribed potential is provided and the OFF current of the TFT for drive is made so as to be made to not flow through the OLED but to flow through the discharge wiring. Moreover, a TFT (which is hereinafter referred to as a TFT for discharge) such as to be turned ON conversely when the TFT for drive is turned OFF is provided in each pixel and one side of the source region and the drain region of the TFT for discharge is connected to a pixel electrode and the other side is connected to the discharge wiring. By this constitution, when the TFT for drive is turned OFF, the TFT for discharge is turned ON and the OFF current of the TFT for drive is made to flow more positively through the discharge wiring than through the OLED.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-323873

(P2002-323873A)

(43)公開日 平成14年11月8日(2002.11.8)

(51) Int. Cl.	識別記号	F I	マークコード (参考)
G09G 3/30		G09G 3/30	J 3K007
3/20	611	3/20	D 5C080
	624		B
	642		D
H05B 33/14		H05B 33/14	A
		審査請求 未請求 請求項の数20 O L (全30頁)	

(21)出願番号 特願2002-40963(P2002-40963)

(22)出願日 平成14年2月19日(2002.2.19)

(31)優先権主張番号 特願2001-44367(P2001-44367)

(32)優先日 平成13年2月21日(2001.2.21)

(33)優先権主張国 日本 (JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

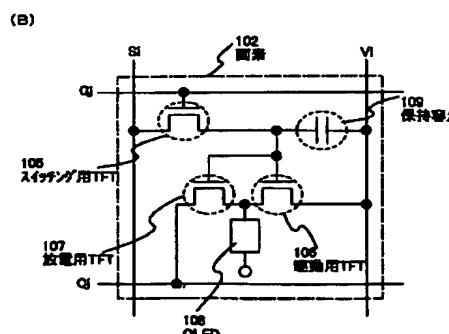
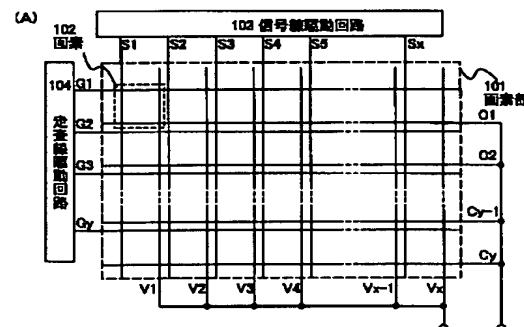
F ターム(参考) 3K007 AB17 BA06 BB07 DB03 GA04
5C080 AA06 BB05 DD03 DD10 EE19
FF11 GG07 JJ03 JJ05 JJ06
KK43

(54)【発明の名称】発光装置及び電子機器

(57)【要約】

【課題】 駆動用TFTのオフ電流によるOLEDの発光を防ぎ、コントラストの低下を抑え、美しい画像を表示することが可能な発光装置の提案を課題とする。

【解決手段】 所定の電位に保たれた配線（以下、放電線と呼ぶ）を設け、オフ電流がOLEDに流れずに該放電線に流れるようにした。そして、駆動用TFTがオフのときに逆にオンになるようなTFT（以下、放電用TFTと呼ぶ）を各画素に設け、該放電用TFTのソース領域とドレイン領域を、一方は画素電極に、もう一方は該放電線に接続した。上記構成によって、駆動用TFTがオフのとき、放電用TFTはオンになり、駆動用TFTのオフ電流はOLEDよりも該放電線の方に積極的に流れれる。



【特許請求の範囲】

【請求項1】発光素子と、第1の配線と、第2の配線と、第1のTFTと、第2のTFTとを有する発光装置であって、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記第1の配線が接続されており、

前記第2のTFTを介して、前記画素電極と前記第2の配線が接続されており、

前記第1のTFTと前記第2のTFTは一方がオンのとき他方がオフになっていることを特徴とする発光装置。

【請求項2】発光素子と、第1の配線と、第2の配線と、第1のTFTと、第2のTFTとを有する発光装置であって、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記第1の配線が接続されており、

前記第2のTFTを介して、前記画素電極と前記第2の配線が接続されており、

前記第1のTFTと前記第2のTFTは一方がpチャネル型TFTであり、もう一方がnチャネル型TFTであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項3】発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTとを有する発光装置であって、前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTと前記第2のTFTは一方がオンのとき他方がオフになっていることを特徴とする発光装置。

【請求項4】発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTとを有する発光装置であって、前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTと前記第2のTFTは一方がpチャネル型TFTであり、もう一方がnチャネル型TFTであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項5】請求項1乃至請求項4のいずれか1項において、前記第1のTFT及び前記第2のTFTのスイッチングは、デジタルビデオ信号によって制御されていることを特徴とする発光装置。

【請求項6】信号線と、走査線と、発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTと、第3のTFTとを有する発光装置であって、

前記走査線の電位によって前記第3のTFTのスイッチングが制御され、

前記第3のTFTがオンのとき、前記信号線に入力されたデジタルビデオ信号が、前記第1及び第2のTFTのゲート電極に入力され、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTと前記第2のTFTは、前記デジタルビデオ信号によってそのスイッチングが制御されており、

前記第1のTFTと前記第2のTFTは、一方がオンのとき他方がオフになっていることを特徴とする発光装置。

【請求項7】信号線と、走査線と、発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTと、第3のTFTとを有する発光装置であって、

前記走査線の電位によって前記第3のTFTのスイッチングが制御され、

前記第3のTFTがオンのとき、前記信号線に入力されたデジタルビデオ信号が、前記第1及び第2のTFTのゲート電極に入力され、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTと前記第2のTFTは、前記デジタルビデオ信号によってそのスイッチングが制御されており、

前記第1のTFTと前記第2のTFTは一方がpチャネル型TFTであり、もう一方がnチャネル型TFTであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項8】信号線と、第1の走査線と、第2の走査線と、発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTとを有する発光装置であって、

前記第1の走査線の電位によって前記第3のTFTのスイッチングが制御され、

前記第2の走査線の電位によって前記第4のTFTのスイッチングが制御され、

前記第3のTFTがオンのとき、前記信号線に入力されたデジタルビデオ信号が、前記第1及び第2のTFTのゲート電極に入力され、

前記第4のTFTがオンのとき、前記電源線の電位が、前記第1及び第2のTFTのゲート電極に入力され、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTと前記第2のTFTは、前記デジタルビデオ信号によってそのスイッチングが制御されており、

前記第1のTFTと前記第2のTFTは、一方がオンのとき他方がオフになっていることを特徴とする発光装置。

【請求項9】信号線と、第1の走査線と、第2の走査線と、発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTとを有する発光装置であって、

前記第1の走査線の電位によって前記第3のTFTのスイッチングが制御され、

前記第2の走査線の電位によって前記第4のTFTのスイッチングが制御され、

前記第3のTFTがオンのとき、前記信号線に入力されたデジタルビデオ信号が、前記第1及び第2のTFTのゲート電極に入力され、

前記第4のTFTがオンのとき、前記電源線の電位が、前記第1及び第2のTFTのゲート電極に入力され、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTと前記第2のTFTは、前記デジタルビデオ信号によってそのスイッチングが制御されており、

前記第1のTFTと前記第2のTFTは一方がpチャネル型TFTであり、もう一方がnチャネル型TFTであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項10】信号線と、走査線と、発光素子と、電源線と、第1のTFTと、第2のTFTと、第3のTFTとを有する画素が複数設けられた発光装置であって、各画素において、

前記走査線の電位によって前記第3のTFTのスイッチングが制御され、

前記第3のTFTがオンのとき、前記信号線に入力されたデジタルビデオ信号が、前記第1及び第2のTFTのゲート電極に入力され、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と、他の画素の前記走査線が接続されており、

前記第1のTFTと前記第2のTFTは、前記デジタルビデオ信号によってそのスイッチングが制御されており、

前記第1のTFTと前記第2のTFTは、一方がオンのとき他方がオフになっており、

前記第3のTFTと前記第2のTFTの極性が同じであ

ることを特徴とする発光装置。

【請求項11】信号線と、走査線と、発光素子と、電源線と、第1のTFTと、第2のTFTと、第3のTFTとを有する画素が複数設けられた発光装置であって、各画素において、

前記走査線の電位によって前記第3のTFTのスイッチングが制御され、

前記第3のTFTがオンのとき、前記信号線に入力されたデジタルビデオ信号が、前記第1及び第2のTFTのゲート電極に入力され、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と、他の画素の前記走査線が接続されており、

前記第1のTFTと前記第2のTFTは、前記デジタルビデオ信号によってそのスイッチングが制御されており、

前記第1のTFTと前記第2のTFTは一方がpチャネル型TFTであり、もう一方がnチャネル型TFTであり、

前記第3のTFTと前記第2のTFTの極性が同じであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項12】発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTとを有する発光装置であつて、

前記発光素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に形成された有機発光層とを有し、

前記対向電極の電位が前記電源線の電位よりも低いとき、前記放電線の電位は前記電源線の電位よりも低く、前記対向電極の電位が前記電源線の電位よりも高いとき、前記放電線の電位は前記電源線の電位よりも高く、前記第1のTFTを介して、前記画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTと前記第2のTFTは一方がオンのとき他方がオフになっていることを特徴とする発光装置。

【請求項13】発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTとを有する発光装置であつて、

前記発光素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に形成された有機発光層とを有し、前記対向電極の電位は前記電源線の電位よりも低く、前記放電線の電位は前記電源線の電位よりも低く、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTはpチャネル型TFTであり、前記第2のTFTはnチャネル型TFTであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項14】発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTとを有する発光装置であつて、

前記発光素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に形成された有機発光層とを有し、前記対向電極の電位は前記電源線の電位よりも高く、前記放電線の電位は前記電源線の電位よりも高く、前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTはnチャネル型TFTであり、前記第2のTFTはpチャネル型TFTであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項15】発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTとを有する発光装置であつて、

前記発光素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に形成された有機発光層とを有し、前記対向電極と前記放電線は同じ高さの電位に保たれており、

前記第1のTFTを介して、前記画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTと前記第2のTFTは一方がオンのとき他方がオフになっていることを特徴とする発光装置。

【請求項16】発光素子と、電源線と、放電線と、第1のTFTと、第2のTFTとを有する発光装置であつて、

前記発光素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に形成された有機発光層とを有し、前記対向電極と前記放電線は同じ高さの電位に保たれており、

前記対向電極と前記放電線の電位は、前記電源線の電位よりも低く、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTはpチャネル型TFTであり、前記第2のTFTはnチャネル型TFTであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項17】発光素子と、電源線と、放電線と、第1

のTFTと、第2のTFTとを有する発光装置であつて、

前記発光素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に形成された有機発光層とを有し、前記対向電極と前記放電線は同じ高さの電位に保たれており、

前記対向電極と前記放電線の電位は、前記電源線の電位よりも高く、

前記第1のTFTを介して、前記発光素子が有する画素電極と前記電源線が接続されており、

前記第2のTFTを介して、前記画素電極と前記放電線が接続されており、

前記第1のTFTはnチャネル型TFTであり、前記第2のTFTはpチャネル型TFTであり、

前記第1のTFTと前記第2のTFTのゲート電極は、互いに接続されていることを特徴とする発光装置。

【請求項18】請求項11乃至請求項17のいずれか1項において、前記有機発光層は三重項励起子からの燐光を発光に利用できる有機発光材料を含んでいることを特徴とする発光装置。

【請求項19】請求項11乃至請求項18のいずれか1項において、前記第1のTFT及び前記第2のTFTのスイッチングは、デジタルビデオ信号によって制御されていることを特徴とする発光装置。

【請求項20】請求項1乃至請求項19のいずれか1項において、前記発光装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

30 【発明の属する技術分野】本発明は、基板上に形成された発光素子、例えば有機発光素子(OLED:Organic Light Emitting Device)を、該基板とカバー材の間に封入したOLEDパネルに関する。また、該OLEDパネルにコントローラを含むIC等を実装した、OLEDモジュールに関する。なお本明細書において、OLEDパネル及びOLEDモジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

40 【従来の技術】OLEDは自ら発光するため視認性が高く、液晶表示装置(LCD)で必要なバックライトを要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年OLEDを用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【0003】OLEDは、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる有機化合物(有機発光材料)を含む層(以下、有機発光層と記す)と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から

基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0004】なお、本明細書では、OLEDの陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0005】以下、一般的な発光装置の画素の構成について、図15を用い説明する。

【0006】一般的な発光装置の画素部には、複数の画素1000がマトリクス状に設けられている。画素1000は、少なくとも1つの信号線1001と、少なくとも1つの走査線1002と、少なくとも1つの電源線1003とを有している。

【0007】また画素1000は、スイッチング用TFT1004と、駆動用TFT1005と、OLED1006、保持容量1007を有している。

【0008】スイッチング用TFT1004のゲート電極は、走査線1002に接続されている。スイッチング用TFT1004のソース領域とドレイン領域は、一方が信号線1001に、もう一方が駆動用TFT1005のゲート電極にそれぞれ接続されている。

【0009】保持容量1007は、駆動用TFT1005のゲート電極と、電源線1003との間に形成されている。保持容量1007はスイッチング用TFT1004が非選択状態（オフ状態）にある時、駆動用TFT1005のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。

【0010】また、駆動用TFT1005のソース領域とドレイン領域は、一方は電源線1003に接続され、もう一方はOLED1006に接続される。

【0011】OLED1006は陽極と陰極と、陽極と陰極の間に設けられた有機発光層とからなる。陽極が駆動用TFT1005のソース領域またはドレイン領域に接続している場合、陽極を画素電極、陰極を対向電極と呼ぶ。逆に陰極が駆動用TFT1005のソース領域またはドレイン領域に接続している場合、陰極を画素電極、陽極を対向電極と呼ぶ。

【0012】OLED1006の対向電極には、OLEDパネルの外部に設けられた電源によって電位（対向電位）が与えられている。また電源線1003にも、OLEDパネルの外部に設けられた電源によって電位（電源電位）が与えられている。

【0013】次に、図15に示した画素1000の動作 50

について説明する。

【0014】走査線1002に入力された選択信号によって走査線1002が選択され、走査線1002にゲート電極が接続されたスイッチング用TFT1004が全てオンになる。なお本明細書において、走査線が選択されるというのは、該走査線にゲート電極が接続された全てのTFTがオンになることを意味する。

【0015】そして、信号線1001に入力された画像情報を有するビデオ信号が、オンのスイッチング用TFT1004を介して駆動用TFT1005のゲート電極に入力される。

【0016】ゲート電極に入力されたビデオ信号の電位によって、駆動用TFT1005のゲート電圧が決まる。駆動用TFT1005のチャネル形成領域には、該ゲート電圧の大きさに見合った値の電流が流れる。そして、駆動用TFT1005のチャネル形成領域に流れた電流は、OLED1006に流れる。

【0017】OLED1006に電流が流れると、OLED1006は発光する。そして全ての画素において上記動作が行われることで、画素部に画像が表示される。

【0018】

【発明が解決しようとする課題】 ところで駆動用TFTは、ノーマリー・オフであることが理想的である。例えば、pチャネル型TFTの場合、ゲート電圧（ソース領域とドレイン領域間の電位差）が閾値よりも大きいときにドレイン電流が流れず、逆にゲート電圧が閾値よりも小さくなつたときに、はじめてドレイン電流が流れ始めるのが理想的である。nチャネル型TFTの場合、ゲート電圧が閾値よりも小さいときにドレイン電流が流れず、逆にゲート電圧が閾値よりも大きくなつたときに、はじめてドレイン電流が流れ始めるのが理想的である。なお本明細書において、ゲート電圧が大きくなるというのはゲート電圧が正の方向に変化することを意味し、ゲート電圧が小さくなるというのはゲート電圧が負の方向に変化することを意味する。

【0019】そして、閾値電圧は、pチャネル型TFTでは負の値であることが理想的であり、逆にnチャネル型TFTでは正の値であることが理想的である。

【0020】しかし実際には、TFTの閾値電圧は、作製工程によって多少シフトする。閾値電圧がシフトすると、オフになるはずの駆動用TFTがオンになることがある。オフになるはずの駆動用TFTがオンになると、駆動用TFTのチャネル形成領域にドレイン電流が流れ、光るべきではないときにOLEDが発光してしまい、コントラストが低下したり、表示画像が乱れる原因になっていた。

【0021】またTFTの特性によっては、オフの時に流れる電流（オフ電流）が大きくなる場合がある。駆動用TFTのオフ電流が大きいと、オフ電流はそのままOLEDに流れるため、光るべきではないときにOLED

が発光してしまう。

【0022】オフ電流を低減するために、駆動用TFTのチャネル長を長くしたり、ゲート電極の数を増やしてマルチゲート構造にしたりする方法が挙げられるが、いずれの方法においてもオフ電流の低減には限界があった。

【0023】本発明は上記問題に鑑み、駆動用TFTのオフ電流によるOLEDの発光を防ぎ、コントラストの低下を抑え、美しい画像を表示することが可能な発光装置の提案を課題とする。

【0024】

【課題を解決するための手段】本発明者は、駆動用TFTにオフ電流が存在することを前提とし、該オフ電流がOLEDに流れないように、オフ電流を逃すための分路を形成することを考えた。

【0025】具体的には、所定の電位に保たれた配線（以下、放電線と呼ぶ）を設け、オフ電流がOLEDに流れずに該放電線に流れるようにした。そして、駆動用TFTがオフのときに逆にオンになるようなTFT（以下、放電用TFTと呼ぶ）を各画素に設け、該放電用TFTのソース領域とドレイン領域を、一方は画素電極に、もう一方は該放電線に接続した。

【0026】上記構成によって、駆動用TFTがオンのとき、放電用TFTはオフになり、駆動用TFTのドレイン電流はOLEDに流れる。逆に、駆動用TFTがオフのとき、放電用TFTはオンになり、駆動用TFTのドレイン電流（この場合オフ電流）はOLEDよりも該放電線の方に積極的に流れる。

【0027】なお、放電用TFTと駆動用TFTは、一方をpチャネル型TFT、もう一方をnチャネル型TFTとし、両TFTのゲート電極を電気的に接続することで、一方がオンのときにもう一方をオフにすることができます。

【0028】上記構成により、駆動用TFTにオフ電流が流れてもOLEDが発光するのを防ぎ、コントラストの低下を抑え、表示画像が乱れることを防ぐことができます。

【0029】

【発明の実施の形態】以下、本発明の発光装置の構造について、詳しく説明する。

【0030】図1（A）に、本発明の発光装置のOLEDパネルの構成を、ブロック図で示す。101は画素部であり、複数の画素102がマトリクス状に形成されている。また103は信号線駆動回路、104は走査線駆動回路である。

【0031】なお図1では信号線駆動回路103と走査線駆動回路104とが、画素部101と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路と103と走査線駆動回路104とが画素部101と異なる基板上に形成され、FPC等のコネク

ターを介して、画素部101と接続されていても良い。また、図1では信号線駆動回路103と走査線駆動回路104は1つづつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路103と走査線駆動回路104の数は設計者が任意に設定することができる。

【0032】また図1では、画素部101に信号線S1～Sx、電源線V1～Vx、走査線G1～Gy、放電線C1～Cyが設けられている。なお、信号線と電源線の数は必ずしも同じであるとは限らない。また、走査線と放電線の数は必ずしも同じであるとは限らない。

【0033】電源線V1～Vxは所定の電位に保たれている。また、放電線C1～Cyも一定の電位に保たれている。なお図1ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線V1～Vxの電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0034】図1（B）に各画素の詳しい構成を示す。本発明の発光装置において、画素102は、少なくとも1つの信号線と、少なくとも1つの走査線と、少なくとも1つの電源線と、少なくとも1つの放電線とを有している。図1（B）に示した画素では、信号線Si（i=1～x）、走査線Gj（j=1～y）、電源線Vi、放電線Cjを有している。

【0035】さらに本発明では、画素102が少なくとも、スイッチング用TFT105、駆動用TFT106、放電用TFT107、OLED108を有している。なお図1（B）では、保持容量109を、駆動用TFT106のゲート電極の電位を保持するために設けているが、必ずしも設ける必要はなく、必要に応じて設ければ良い。

【0036】なお、スイッチング用TFT105、駆動用TFT106及び放電用TFT107は、シングルゲート構造に限らず、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0037】図1（B）では、スイッチング用TFT105のゲート電極が走査線Gjに接続されている。そしてスイッチング用TFT105のソース領域とドレイン領域は、一方は信号線Siに、もう一方は駆動用TFT106のゲート電極に接続されている。

【0038】駆動用TFT106のソース領域とドレイン領域は、一方は電源線Viに、もう一方はOLED108の画素電極に接続されている。一方、放電用TFT107のゲート電極は、駆動用TFT106のゲート電極に接続されている。そして、放電用TFT107のソース領域とドレイン領域は、一方はOLED108の画素電極に接続されており、もう一方は放電線Cjに接続されている。

【0039】保持容量109は、駆動用TFT106のゲート電極と電源線Viとの間に形成されている。

【0040】OLED108は陽極と陰極を有しており、本明細書では、陽極を画素電極（第1の電極）として用いる場合は陰極を対向電極（第2の電極）と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0041】なお、スイッチング用TFT105は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。また、駆動用TFT106と放電用TFT107は、一方がnチャネル型TFTでもう一方がpチャネル型TFTである。なお、OLED108の陽極を画素電極として用いる場合、駆動用TFT106はpチャネル型TFTであることが望ましく、逆に陰極を画素電極として用いる場合、駆動用TFT106はnチャネル型TFTであることが望ましい。

【0042】図1(B)に示した画素では、走査線Gjの電位が走査線駆動回路104によって制御され、信号線Siには信号線駆動回路103によってビデオ信号が入力される。スイッチング用TFT105がオンになると、信号線Siに入力されたビデオ信号は、スイッチング用TFT105を介して駆動用TFT106のゲート電極及び放電用TFT107のゲート電極に入力される。

【0043】駆動用TFT106と放電用TFT107の動作は、ゲート電極に入力されたビデオ信号の電位により制御される。以下、その動作について詳しく説明する。なお、説明を分かり易くするために、駆動用TFT106がpチャネル型TFT、放電用TFT107がnチャネル型TFTの場合を例にとって説明する。しかし、以下の説明は、駆動用TFT106がnチャネル型TFT、放電用TFT107がpチャネル型TFTの場合でも成り立つ。

【0044】図2(A)は、駆動用TFT106と、放電用TFT107と、OLED108の接続の様子を簡略的に示した図である。端子110からビデオ信号が入力される。そして端子111から対向電極に所定の電位が与えられる。なお、I_Dは駆動用TFT106のドレイン電流、I_Gは放電用TFT107のドレイン電流、I_{e1}はOLED108に流れるOLED駆動電流を意味している。また、V_{ds}は駆動用TFT106のソース領域とドレイン領域の間の電圧を意味し、V_{e1}はOLED108の画素電極と対向電極の間の電圧(OLED駆動電圧)を意味している。

【0045】電源線Viと端子111の電位は、駆動用TFT106がオンになったとき、OLED108に流れる電流I_{e1}が順バイアスになるような高さに保たれている。また、放電線Cjの電位は、端子111の電位が電源線Viの電位より低いとき、電源線Viの電位よりも低くなるよう設定し、逆に端子111の電位が電源線Viの電位より高いとき、電源線Viの電位よりも高くなるよう設定する。

【0046】なお、放電線Cjの電位は、陽極を画素電極として用いるとき、陰極の電位よりも低くなるように保っていてもよい。逆に、陰極を画素電極として用いるとき、陽極の電位よりも高くなるように保っていてもよい。

【0047】なお、本実施の形態では説明をわかりやすくするため、端子111の電位が電源線Viの電位よりも低く、なおかつ放電線Cjの電位が端子111の電位と同じ高さに保たれていると仮定する。よって図2(A)10では、放電用TFT107のソース領域とドレイン領域間の電圧は、OLED駆動電圧V_{e1}と同じ大きさに保たれている。

【0048】まず図2(B)に、ビデオ信号の電位が十分高く、駆動用TFT106のゲート電圧が閾値よりも十分大きいときの、駆動用TFT106、放電用TFT107及びOLED108の電圧電流特性を示す。また、図2(C)は、図2(B)の点線で囲った部分を拡大した図である。なお、横軸は電源線Viと端子111の間の電圧を示している。そして、縦軸は、各素子に流れれる電流を示している。

【0049】ゲート電圧が閾値よりも十分大きいと、pチャネル型TFTである駆動用TFT106は、理想的な素子の場合オフの状態になる。しかし実際には、ドレイン電流が多少流れていることが多い。よって図2(B)、(C)に示すとおり、駆動用TFT106は、オンのときと比較してドレイン電流I_Dが小さくなるが0にはならないと考えられる。

【0050】一方、nチャネル型TFTである放電用TFT107は、ビデオ信号の電位が十分高いと、そのゲート電圧が閾値よりも十分大きくなるため、オンの状態になる。よって、放電用TFT107は、図2(B)、(C)に示すとおり、オフのときと比較して、ソース領域とドレイン領域間の電圧に対するドレイン電流I_Dの値が大きくなる。つまり言い換えると、オフのときと比較して、ドレイン電流の値に対するソース領域とドレイン領域間の電圧の値が小さくなる。

【0051】このとき上述したように、駆動用TFT106はオフであるので、オンのときと比較してドレイン電流I_Dが小さい。そして、駆動用TFT106のドレイン電流(この場合オフ電流)I_{D0}は、I_{D0}=I_D+I_{e1}を常に満たしており、I_DがI_{D0}より大きくなることはない。よって、ドレイン電流I_DはI_{D0}以下である。ここで上述したように放電用TFT107は、オフのときと比較して、ドレイン電流の値に対するソース領域とドレイン領域間の電圧の値が小さく、また放電用TFT107のソース領域とドレイン領域間の電圧とV_{e1}は等しいため、V_{e1}が、OLEDにはほとんど電流が流れなくなってしまうほど小さくなる。したがって、図2(B)、(C)に示すとおり、I_{e1}=0となり、I_D=I_{D0}となる。つまり、放電用TFT107の電圧電流

特性のグラフと、駆動用TFT106の電圧電流特性のグラフとの交点が、動作点となる。よって、OLED108は発光しない。

【0052】なお、図16に、図15に示した一般的な発光装置の駆動用TFT1005と、OLED1006の接続の様子を簡略的に示す。ただし、図16では、ビデオ信号が入力される端子110と対向電極に所定の電位が与えられる端子111は、本発明との比較をより明確にするために、図2(A)と同じ符号を付す。また本発明との比較をより明確にするために、図15に示した駆動用TFT1005及びOLED1006は、図2

(A)の駆動用TFT106及びOLED108に相当するものとみなす。

【0053】 I_1 は駆動用TFT106のドレイン電流、 I_{e1}' はOLED108に流れるOLED駆動電流を意味している。また、 V_{ds} は駆動用TFT106のソース領域とドレイン領域の間の電圧を意味し、 V_{e1}' はOLED108の画素電極と対向電極の間の電圧(OLED駆動電圧)を意味している。

【0054】一般的な発光装置では、OLEDの電圧電流特性のグラフと、駆動用TFTの電圧電流特性のグラフとの交点が、動作点となる。よって、図2(B)、

(C)に示すとおり、一般的な構成においてOLEDに流れる電流は、該動作点における電流 I_{e1}' に相当する。

【0055】次に、図3(A)に、ビデオ信号の電位が十分低く、駆動用TFT106のゲート電圧が閾値よりも十分小さいときの、駆動用TFT106、放電用TFT107及びOLED108の電圧電流特性を示す。また、図3(B)は、図3(A)の点線で囲った部分を拡大した図である。なお、横軸は電源線 V_i と端子111との間の電圧を示している。そして、縦軸は、各素子に流れる電流を示している。

【0056】ゲート電圧が閾値よりも十分小さいと、pチャネル型TFTである駆動用TFT106は、理想的な素子の場合オンの状態になる。よって、駆動用TFT106は、図3(A)、(B)に示すとおり、ソース領域とドレイン領域間の電圧に対するドレイン電流の値が大きい。

【0057】一方、nチャネル型TFTである放電用TFT107は、ビデオ信号の電位が十分低いと、そのゲート電圧が閾値よりも十分小さくなるため、オフの状態になる。しかし実際には、オフ電流が多少生じていることが多い。よって、放電用TFT107は、図3

(A)、(B)に示すとおり、ソース領域とドレイン領域間の電圧に対するドレイン電流の値が、小さい値であるが0ではないと考えられる。

【0058】駆動用TFT106のドレイン電流 I_1 は、 $I_1 = I_s + I_{e1}$ を常に満たしている。よって、 $I_{e1} = I_1 - I_s$ となり、 I_{e1} は駆動用TFT106

のドレイン電流 I_1 から、放電用TFT107のドレイン電流(この場合オフ電流) I_s を差し引いた値に等しくなる。

【0059】一般的な放電用TFT107を設けない構成の場合、 $I_s = 0$ であるので、必然的に $I_{e1} = I_{e1}'$ となる。しかし、本発明では放電用TFT107を設けることで、 I_{e1} は I_{e1}' の分だけ小さくなる。 I_{e1} が小さくなると V_{e1}' も小さくなり、 $V_{e1}' + V_{ds}$ は常に一定なので、よって V_{ds} が一般的な構成に比べて大きくなる。よって、駆動用TFT106のドレイン電流 I_1 自体が、一般的な構成における駆動用TFT106のドレイン電流に比べて大きくなる。したがって、放電用TFT107を設けた場合の I_{e1} は $(I_{e1}' - I_s) < I_{e1} < I_{e1}'$ を満たしている。つまり一般的な構成におけるOLED電流 I_{e1}' から放電用TFT107のドレイン電流 I_s を単純に減算した値よりも大きくなるので、 I_{e1}' と I_{e1} の差は小さく、輝度への影響はさほど大きくはない。

【0060】よって、図2、図3からわかるように、本発明の発光装置では、駆動用TFT106にオフ電流が流れても、オフ電流が放電用TFT107を介して放電線に流れてしまうので、OLED108にほとんど電流が流れないので、OLED108が発光するのを防ぎ、コントラストの低下を抑え、表示画像が乱れることを防ぐことができる。

【0061】次に、本発明の発光装置における、駆動用TFT106とOLED駆動電流 I_{e1} の関係について述べる。

【0062】図4(A)に、駆動用TFT106のゲート電圧が閾値よりもやや小さくなり、駆動用TFT106のドレイン電流が大きくなりはじめたときの、駆動用TFT106、放電用TFT107及びOLED108の電圧電流特性を示す。なお、横軸は電源線 V_i と端子111との間の電圧を示している。そして、縦軸は、各素子に流れる電流を示している。

【0063】駆動用TFT106、放電用TFT107及びOLED108は、常に $I_1 = I_s + I_{e1}$ を常に満たすように動作している。よって図4(A)において、 $I_1 = I_s + I_{e1}$ を満たすように、 I_{e1} の値が定まる。

【0064】一方、一般的な発光装置の場合、 $I_1 = I_s$ を満たすので、駆動用TFT106のグラフと、OLED108のグラフとが交差するところが動作点であり、該動作点における電流が I_{e1}' に相当する。

【0065】図4(A)において、本発明の発光装置の I_{e1} と、一般的な発光装置のOLED駆動電流 I_{e1}' を比較すると、 I_{e1}' の方が大きい。これは、放電用TFT107のゲート電圧が閾値よりも十分小さくないため、放電用TFT107のドレイン電流 I_s が無視できないくらい大きくなるためである。よって、駆動

用 TFT 106 のゲート電圧が閾値よりもやや小さくなつた時点では、本発明の発光装置では一般的な発光装置に比べて、OLED の輝度が小さくなつていると考えられる。

【0066】次に、駆動用 TFT 106 のゲート電圧を、図 4 (A) の状態よりももっと小さくしたときの、駆動用 TFT 106 、放電用 TFT 107 及び OLED 108 の電圧電流特性を図 4 (B) に示す。なお、横軸は電源線 V_i と端子 111 の間の電圧を示している。そして、縦軸は、各素子に流れる電流を示している。

【0067】駆動用 TFT 106 、放電用 TFT 107 及び OLED 108 は、常に $I_s = I_{el} + I_{le1}$ を常に満たすように動作している。よって図 4 (B) において、 $I_s = I_{el} + I_{le1}$ を満たすように、 I_{le1} の値が定まる。

【0068】一方、一般的な発光装置の場合、 $I_s = I_{el}$ を満たすので、駆動用 TFT 106 のグラフと、 OLED 108 のグラフとが交差するところが動作点であり、該動作点における電流が I_{le1}' に相当する。

【0069】図 4 (B) に示すとおり、本発明の発光装置の I_{le1} と、一般的な発光装置の I_{le1}' の差は、図 4 (A) のときよりも縮まっているのがわかる。これは、放電用 TFT 107 のゲート電圧が小さくなるにつれて、放電用 TFT 107 のドレイン電流 I_d が小さくなるためである。端子 110 に入力されるビデオ信号の電位がより低くなつていき、放電用 TFT 107 のゲート電圧がより小さくなると、 I_d はより小さくなる。そして、図 3 に示したように、 I_{le1} は限りなく I_{le1}' に近づく。

【0070】図 4 (A) 、 (B) から分かるように、駆動用 TFT 106 のゲート電圧 V_{gs} と OLED 108 を流れる電流 I_{le1} との関係は、図 5 に示すようなグラフになる。なお比較のため、一般的な発光装置の、駆動用 TFT 106 のゲート電圧 V_{gs} と OLED 108 を流れる電流 I_{le1}' との関係も示す。

【0071】図 5 からわかるように、本発明の発光装置は、放電用 TFT を用いない一般的な発光装置に比べて、グラフの傾きが急峻になる。よって、放電用 TFT を用いない場合に比べてデジタルビデオ信号の振幅をより小さくすることができる。デジタルビデオ信号を用いて階調を表示するデジタル階調方式の駆動においては、信号の振幅が小さいほど、デジタルビデオ信号の信号線への入力を制御する信号線駆動回路の、電源電圧を小さくすることができる。よって、本発明の発光装置では、デジタル階調方式の駆動の場合、信号線駆動回路の消費電力を抑えることができる。

【0072】また、図 15 に示した一般的な画素の場合、有機発光素子を発光させた後駆動用 TFT をオフにすると、有機発光素子の 2 つの電極間の電圧が自由放電により低下する。このとき、有機発光素子の 2 つの電極

間の電圧が有機発光素子の閾値以下になると、該 2 つの電極間の抵抗が指数関数的に大きくなり、放電がかなりスローになつてしまう。そのため、駆動用 TFT をオフにした後にも、有機発光素子が薄っすらと光っている状態が比較的長く続いてしまう。しかし、本発明の発光装置では、駆動用 TFT をオフにすると、放電用 TFT がオンになることで、強制的に電荷を抜き取ることができ、残光が残つてしまふのを防ぐことができる。

【実施例】以下に、本発明の実施例について説明する。

10 【0073】(実施例 1) 本実施例では、図 1 で示した本発明の発光装置を、デジタル階調方式で駆動させた場合について、図 6 を用いて説明する。

【0074】まず、OLED の対向電極の電位が、電源線の電源電位と同じ高さに保たれる。そして走査線 G 1 が、走査線駆動回路 104 から入力される選択信号によって選択される。その結果、走査線 G 1 に接続されている全ての画素 (1 ライン目の画素) のスイッチング用 TFT 105 がオンの状態になる。

【0075】そして、信号線 (S 1 ~ S x) に信号線駆動回路 103 から、1 ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用 TFT 105 を介して駆動用 TFT 106 及び放電用 TFT 107 のゲート電極に入力される。

【0076】駆動用 TFT 106 及び放電用 TFT 107 は、該デジタルビデオ信号が有する 1 または 0 の情報によって、そのスイッチングが制御される。例えば、駆動用 TFT 106 がオンになると放電用 TFT 107 はオフになり、逆に駆動用 TFT 106 がオフになると放電用 TFT 107 はオンになる。

【0077】次に G 1 の選択が終了し、同様に走査線 G 2 が選択信号によって選択される。そして走査線 G 2 に接続されている全ての画素のスイッチング用 TFT 105 がオンの状態になり、信号線 (S 1 ~ S x) から 2 ライン目の画素に、1 ビット目のデジタルビデオ信号が入力される。なお、本明細書において画素にデジタルビデオ信号が入力されるというのは、該画素の駆動用 TFT 106 及び放電用 TFT 107 のゲート電極に、デジタルビデオ信号が入力されることを意味する。そして、2 ライン目の画素の駆動用 TFT 106 及び放電用 TFT 107 のスイッチングが、1 ライン目の画素と同様に、デジタルビデオ信号によって制御される。

【0078】そして、全ての走査線 (G 3 ~ G x) も、順に選択信号によって選択される。全ての走査線 (G 1 ~ G x) が選択され、全てのラインの画素に 1 ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T_{a1} である。

【0079】書き込み期間 T_{a1} が終了すると、次に表示期間 T_{r1} が出現する。表示期間 T_{r1} において、対向電極の電位は、電源電位が OLED の画素電極に与えられたときに OLED 108 が発光する程度に、電源線

の電源電位との間に電位差を有する高さになる。

【0080】書き込み期間において画素に入力されたデジタルビデオ信号によって、駆動用TFT106がオンになっている場合、OLED108の画素電極に電源電位が与えられる。その結果、OLED108は発光する。またこのとき、放電用TFT107はオフの状態にある。

【0081】逆に、書き込み期間において画素に入力されたデジタルビデオ信号によって、駆動用TFT106がオフになっている場合、OLED108の画素電極に電源電位が与えられない。その結果、OLED108は発光しない。またこのとき、放電用TFT107はオンの状態にある。よって、駆動用TFT106にオフ電流が流れても、該オフ電流はほとんど放電線に流れため、OLED108は発光しない。

【0082】このように、表示期間Tr1ではOLED108が発光、または非発光の状態になり、全ての画素は表示を行う。画素が表示を行っている期間を表示期間Trと呼ぶ。特に1ビット目のデジタルビデオ信号によって表示を行う表示期間を、表示期間Tr1と呼ぶ。図6では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。全てのラインの表示期間が開始されるタイミングは同じである。

【0083】表示期間Tr1が終了すると、書き込み期間Ta2となり、OLEDの対向電極の電位は電源線の電源電位と同じになる。そして書き込み期間Ta1の場合と同様に順に全ての走査線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間Ta2と呼ぶ。

【0084】書き込み期間Ta2が終了すると表示期間Tr2が出現し、対向電極と電源線の間に電位差が生じ、全ての画素において表示が行われる。

【0085】上述した動作はnビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、書き込み期間Taと表示期間Trとが繰り返し出現する。全ての表示期間(Tr1～Trn)が終了すると1つの画像を表示することができる。本実施例の駆動方法において、1つの画像を表示する期間を1フレーム期間(F)と呼ぶ。1フレーム期間が終了すると次のフレーム期間が開始される。そして再び書き込み期間Ta1が出現し、上述した動作を繰り返す。

【0086】通常の発光装置では1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0087】本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さ比は、Tr1:Tr2:Tr3:…:Tr(n-1):Trn=2⁰:2¹:2²:…:2⁽ⁿ⁻²⁾:2⁽ⁿ⁻¹⁾

となるようにすることが必要である。この表示期間の組み合わせで2⁰階調のうち所望の階調表示を行うことができる。

【0088】1フレーム期間中にOLEDが発光した表示期間の長さの総和を求ることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、n=8のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、Tr1とTr2において画素が発光した場合には1%の輝度が表現でき、Tr3とTr5とTr8を選択した場合には60%の輝度が表現できる。

【0089】また表示期間Tr1～Trnは、どのような順序で出現させても良い。例えば1フレーム期間において、Tr1の次にTr3、Tr5、Tr2、…という順序で表示期間を出現させることも可能である。

【0090】なお本実施例では、対向電極の電位の高さを書き込み期間と表示期間とで変化させていたが、本発明はこれに限定されない。電源線と対向電極の間に電位差が常に生じているようにしても良い。その場合、書き込み期間においてもOLEDを発光させることが可能になる。よって、当該フレーム期間において画素が表示する階調は、1フレーム期間中にOLEDが発光した書き込み期間と表示期間の長さの総和によって決まる。なおこの場合、各ビットのデジタルビデオ信号に対応する書き込み期間と表示期間の長さの和の比が、(Ta1+Tr1):(Ta2+Tr2):(Ta3+Tr3):…:(Ta(n-1)+Tr(n-1)):(Ta n+Trn)=2⁰:2¹:2²:…:2⁽ⁿ⁻²⁾:2⁽ⁿ⁻¹⁾となることが必要である。

【0091】(実施例2)本発明の発光装置の画素は、図1(B)に示した構成に限定されない。本実施例では、本発明の発光装置の画素の構成について、図1(B)とは異なる例について説明する。図7(A)、(B)、図17(A)、(B)に、本実施例の画素の構成を示す。

【0092】図7(A)に示す画素は、第1信号線Sa i、第2信号線Sb i、第1走査線Gaj、第2走査線Gb j、電源線Vi、放電線Cjを少なくとも1つづつ有している。

【0093】また図7(A)に示した画素は、第1スイッチング用TFT705a、第2スイッチング用TFT705b、駆動用TFT706、放電用TFT707、OLED708、保持容量709を少なくとも有している。

【0094】次に、図7(A)の画素が有する各素子及び配線の接続についてより具体的に説明する。

【0095】第1スイッチング用TFT705aのゲート電極は第1走査線Gajに接続されている。また、第1スイッチング用TFT705aのソース領域とドレン領域は、一方は第1信号線Sa iに、もう一方は駆動

用TFT706のゲート電極に接続されている。

【0096】第2スイッチング用TFT705bのゲート電極は第2走査線Gbjに接続されている。また、第2スイッチング用TFT705bのソース領域とドレイン領域は、一方は第2信号線Sbiに、もう一方は駆動用TFT706のゲート電極に接続されている。

【0097】放電用TFT707のゲート電極は、駆動用TFT706のゲート電極と接続されている。また放電用TFT707のソース領域とドレイン領域は、一方は放電線Cjに、もう一方はOLED708の画素電極に接続されている。

【0098】駆動用TFT706のソース領域とドレイン領域は、一方は電源線Viに、もう一方はOLED708の画素電極に接続されている。電源線ViとOLED708の対向電極の間には、常に電位差が生じている。

【0099】保持容量709は電源線Viと、駆動用TFT706のゲート電極の間に形成されている。

【0100】選択信号によって第1走査線Gajが選択されると、第1スイッチング用TFT705aがオンになる。そして、第1信号線に入力されるデジタルビデオ信号が、駆動用TFT706及び放電用TFT707のゲート電極に入力され、画素が表示を行う。

【0101】そして次に、選択信号によって第2走査線Gbjが選択されると、第2スイッチング用TFT705bがオンになる。そして、第2信号線に入力されるデジタルビデオ信号が、駆動用TFT706及び放電用TFT707のゲート電極に入力され、画素が表示を行う。

【0102】全ビットのデジタルビデオ信号によって、各画素が表示を行うと、1つの画像が表示される。

【0103】図7(A)に示した画素では、表示期間を書き込み期間よりも短くすることが可能であるので、階調数が高くなっているデジタルビデオ信号のビット数が増加しても、フレーム周波数を落とさずに画像を表示することが可能である。

【0104】図7(B)に示す画素は、信号線Si、走査線Gj、電源線Vi、放電線Cj、容量線Pjを少なくとも1つづつ有している。

【0105】また図7(B)に示した画素は、スイッチング用TFT725、駆動用TFT726、放電用TFT727、OLED728、保持容量729を少なくとも有している。

【0106】次に、図7(B)の画素が有する各素子及び配線の接続についてより具体的に説明する。

【0107】スイッチング用TFT725のゲート電極は走査線Gjに接続されている。また、スイッチング用TFT725のソース領域とドレイン領域は、一方は信号線Siに、もう一方は駆動用TFT726のゲート電極に接続されている。

【0108】放電用TFT727のゲート電極は、駆動用TFT726のゲート電極と接続されている。また放電用TFT727のソース領域とドレイン領域は、一方は放電線Cjに、もう一方はOLED728の画素電極に接続されている。

【0109】駆動用TFT726のソース領域とドレイン領域は、一方は電源線Viに、もう一方はOLED728の画素電極に接続されている。電源線ViとOLED728の対向電極の間には、常に電位差が生じている。

【0110】保持容量729は容量線Pjと、駆動用TFT726のゲート電極の間に形成されている。容量線Pjは、電源線Viと同じ高さに保たれている。

【0111】選択信号によって走査線Gjが選択されると、スイッチング用TFT725がオンになる。そして、第1信号線に入力されるデジタルビデオ信号が、駆動用TFT726及び放電用TFT727のゲート電極に入力され、画素が表示を行う。

【0112】次に、容量線Pjの電位を制御することで、電荷保存の法則により、駆動用TFT726及び放電用TFT727のゲート電圧を調整し、駆動用TFT726がオフ、放電用TFT727がオンになるようにする。駆動用TFT726がオフになると、画素が表示を行わなくなり、強制的に表示期間が終了する。

【0113】全ビットのデジタルビデオ信号によって、各画素が表示を行うと、1つの画像が表示される。

【0114】図7(B)に示した画素では、表示期間を書き込み期間よりも短くすることが可能であるので、階調数が高くなっているデジタルビデオ信号のビット数が増加しても、フレーム周波数を落とさずに画像を表示することが可能である。

【0115】図17(A)に示す画素722は、信号線Si、走査線Gj、電源線Viを少なくとも1つづつ有している。

【0116】また図17(A)に示した画素は、スイッチング用TFT725、駆動用TFT726、放電用TFT727、OLED728、保持容量729を少なくとも有している。

【0117】なお図17(A)において、スイッチング用TFT725と放電用TFT727は同じ極性を有しているのが望ましい。

【0118】次に、図17(A)の画素が有する各素子及び配線の接続についてより具体的に説明する。

【0119】スイッチング用TFT725のゲート電極は走査線Gjに接続されている。また、スイッチング用TFT725のソース領域とドレイン領域は、一方は信号線Siに、もう一方は駆動用TFT726のゲート電極に接続されている。

【0120】放電用TFT727のゲート電極は、駆動用TFT726のゲート電極と接続されている。また放

電用TFT727のソース領域とドレイン領域は、一方は走査線Gj-1に、もう一方はOLED728の画素電極に接続されている。

【0121】走査線Gj-1は、走査線Gjが選択される前に選択される走査線である。なお各画素の放電用TFTのソース領域またはドレイン領域に接続される走査線は、画素部が有する走査線のうちのいずれか1つであれば良い。

【0122】駆動用TFT726のソース領域とドレン領域は、一方は電源線Viに、もう一方はOLED728の画素電極に接続されている。電源線ViとOLED728の対向電極の間には、常に電位差が生じている。

【0123】保持容量729は電源線Viと、駆動用TFT726のゲート電極の間に形成されている。

【0124】選択信号によって走査線Gjが選択されると、スイッチング用TFT725がオンになる。そして、信号線に入力されるデジタルビデオ信号が、駆動用TFT726及び放電用TFT727のゲート電極に入力され、画素が表示を行う。

【0125】全ビットのデジタルビデオ信号によって、各画素が表示を行うと、1つの画像が表示される。

【0126】なお、図17(A)に示した画素は、図1、図7(A)、(B)に示した画素と異なり、走査線を放電線として用いるため、別途放電線を設ける必要がなく、画素部の配線数を抑えることができる。このように分路を形成する際、必ずしもオフ電流を流すためだけの配線を形成する必要はなく、走査線、信号線、電源線、その他配線を放電線として用いることは可能である。

【0127】図17(B)に示す画素は、信号線Si、第1走査線Gaj、第2走査線Gb j、電源線Vi、放電線Cjを少なくとも1つづつ有している。

【0128】また図17(B)に示した画素は、スイッチング用TFT735、消去用TFT740、駆動用TFT736、放電用TFT737、OLED738、保持容量739を少なくとも有している。

【0129】次に、図17(B)の画素が有する各素子及び配線の接続についてより具体的に説明する。

【0130】スイッチング用TFT735のゲート電極は第1走査線Gajに接続されている。また、スイッチング用TFT735のソース領域とドレイン領域は、一方は信号線Siに、もう一方は駆動用TFT736のゲート電極に接続されている。

【0131】消去用TFT740のゲート電極は第2走査線Gb jに接続されている。また、消去用TFT740のソース領域とドレイン領域は、一方は電源線Viに、もう一方は駆動用TFT736のゲート電極に接続されている。

【0132】放電用TFT737のゲート電極は、駆動

用TFT736のゲート電極と接続されている。また放電用TFT737のソース領域とドレイン領域は、一方は放電線Cjに、もう一方はOLED738の画素電極に接続されている。

【0133】駆動用TFT736のソース領域とドレン領域は、一方は電源線Viに、もう一方はOLED738の画素電極に接続されている。電源線ViとOLED738の対向電極の間には、常に電位差が生じている。

10 【0134】保持容量739は電源線Viと、駆動用TFT736のゲート電極の間に形成されている。

【0135】第1選択信号によって第1走査線Gajが選択されると、スイッチング用TFT735がオンになる。そして、信号線に入力されるデジタルビデオ信号が、駆動用TFT736及び放電用TFT737のゲート電極に入力され、画素が表示を行う。

【0136】次に、第2選択信号によって第2走査線Gb jが選択されると、消去用TFT740がオンになる。そして、電源線Viの電位が、駆動用TFT736

20 のゲート電極及びソース領域に与えられ、駆動用TFT736がオフになる。駆動用TFTが736がオフになると、画素が表示を行わなくなり、強制的に表示期間が終了する。

【0137】全ビットのデジタルビデオ信号によって、各画素が表示を行うと、1つの画像が表示される。

【0138】図17(B)に示した画素では、表示期間を書き込み期間よりも短くすることが可能であるので、階調数が高くなつてデジタルビデオ信号のビット数が増加しても、フレーム周波数を落とさずに画像を表示する

30 ことが可能である。なお、第1走査線または第2走査線を、図17(A)の場合と同様に放電線として用いても良く、この場合各画素の配線数を減らすことができる。

【0139】本発明の発光装置の画素は図1に示したものに限定されず、また、図7(A)、(B)、図17

(A)、(B)に示したものに限定されない。電源線を設けずに、他の画素のゲート信号線を電源線の代わりに用いても良い。本発明の発光装置は、駆動用TFTのオフ電流がOLEDに流れずに、分路に積極的に流れるような構成であれば良い。より具体的には、駆動用TFTがオンのときにオフになり、駆動用TFTがオフのときにオンになるようなTFTを介して、放電線とOLEDの画素電極を接続していれば良い。

【0140】(実施例3) 本発明の発光装置の作成方法の一例について、図8～図12を用いて説明する。ここでは、画素部のスイッチング用TFTおよび駆動用TFTと、画素部の周辺に設けられる駆動部のTFTを同時に作製する方法について、工程に従つて詳細に説明する。なお、放電用TFTは、スイッチング用TFTおよび駆動用TFTの作製方法を参照して作製することができる。ここでは説明を簡単にするため図示しない。

【0141】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニオホウケイ酸ガラスなどのガラスからなる基板900を用いる。なお、基板900としては、透光性を有する基板であれば限らず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0142】次いで、図8(A)に示すように、基板900上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜からなる下地膜901を形成する。本実施例では下地膜901として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜901の一層目としては、プラズマCVD法を用い、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される酸化窒化珪素膜901aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜901a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜901の二層目としては、プラズマCVD法を用い、SiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化珪素膜901bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜901b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0143】次いで、下地膜901上に半導体層902~905を形成する。半導体層902~905は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターンングして形成する。この半導体層902~905の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコングルマニウム(Si_{1-x}Ge_x(X=0.0001~0.02))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーハニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターンング処理によって、半導体層902~905を形成した。

【0144】また、半導体層902~905を形成した後、TFTのしきい値を制御するために、半導体層902~905に微量な不純物元素(ボロンまたはリン)を

ドーピングしてもよい。

【0145】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数

10 300Hzとし、レーザーエネルギー密度を100~400mJ/cm²(代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~600mJ/cm²(代表的には350~500mJ/cm²)とする。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

20 【0146】次いで、半導体層902~905を覆うゲート絶縁膜906を形成する。ゲート絶縁膜906はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものではなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0147】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0148】そして、ゲート絶縁膜906上にゲート電極を形成するための耐熱性導電層907を200~400nm(好ましくは250~350nm)の厚さで形成する。耐熱性導電層907は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層からなる積層構造としても良い。耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることができると良い。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タンクステ

ン (WF_6) を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20 \mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

【0149】一方、耐熱性導電層 907 に Ta 膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta 膜はスパッタガスに Ar を用いる。また、スパッタ時のガス中に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相の Ta 膜の抵抗率は $20 \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相の Ta 膜の抵抗率は $180 \mu\Omega\text{cm}$ 程度でありゲート電極とするには向きであった。TaN 膜は α 相に近い結晶構造を持つので、TaN 膜の下地に TaN 膜を形成すれば α 相の Ta 膜が容易に得られる。また、図示しないが、耐熱性導電層 907 の下に $2 \sim 20 \text{ nm}$ 程度の厚さでリン (P) をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層 907 が微量に含有するアルカリ金属元素が第 1 の形状のゲート絶縁膜 906 に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層 907 は抵抗率を $10 \sim 50 \mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0150】次に、フォトリソグラフィーの技術を使用してレジストによるマスク 908 を形成する。そして、第 1 のエッチング処理を行う。本実施例では ICP エッティング装置を用い、エッティング用ガスに Cl₂ と CF₄ を用い、1 Pa の圧力で 3.2 W/cm^2 の RF (13.56 MHz) 電力を投入してプラズマを形成して行う。基板側 (試料ステージ) にも 224 mW/cm^2 の RF (13.56 MHz) 電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件で W 膜のエッティング速度は約 100 nm/min である。第 1 のエッティング処理はこのエッティング速度を基に W 膜がちょうどエッティングされる時間を推定し、それよりもエッティング時間を 20 % 増加させた時間をエッティング時間とした。

【0151】第 1 のエッティング処理により第 1 のテーパー形状を有する導電層 909～912 が形成される。導電層 909～912 のテーパー部の角度は $15 \sim 30^\circ$ となるように形成される。残渣を残すことなくエッティングするためには、10～20 % 程度の割合でエッティング時間を増加させるオーバーエッティングを施すものとす

10

20

30

40

50

る。W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 906) の選択比は 2～4 (代表的には 3) であるので、オーバーエッティング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{ nm}$ 程度エッティングされる。

(図 8 (B))

【0152】そして、第 1 のドーピング処理を行い一導電型の不純物元素を半導体層に添加する。ここでは、n 型を付与する不純物元素添加の工程を行う。第 1 の形状の導電層を形成したマスク 908 をそのまま残し、第 1 のテーパー形状を有する導電層 909～912 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加する。n 型を付与する不純物元素をゲート電極の端部におけるテーパー部とゲート絶縁膜 906 とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を $80 \sim 160 \text{ keV}$ として行う。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。このようなイオンドープ法により第 1 の不純物領域 914～917 には $1 \times 10^{10} \sim 1 \times 10^{11} \text{ atomic/cm}^2$ の濃度範囲で n 型を付与する不純物元素が添加される。(図 8 (C))

【0153】この工程において、ドーピングの条件によっては、不純物が第 1 の形状の導電層 909～912 の下に回りこみ、第 1 の不純物領域 914～917 が第 1 の形状の導電層 909～912 と重なることも起こりうる。

【0154】次に、図 8 (D) に示すように第 2 のエッティング処理を行う。エッティング処理も同様に ICP エッティング装置により行い、エッティングガスに Cl₂ と Cl₄ の混合ガスを用い、RF 電力 3.2 W/cm^2 (13.56 MHz)、バイアス電力 45 mW/cm^2 (13.56 MHz)、圧力 1.0 Pa でエッティングを行う。この条件で形成される第 2 の形状を有する導電層 918～921 が形成される。その端部にはテーパー部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパー形状となる。第 1 のエッティング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッティングの割合が多くなり、テーパー部の角度は $30 \sim 60^\circ$ となる。マスク 908 はエッティングされて端部が削れ、マスク 922 となる。また、図 8 (D) の工程において、ゲート絶縁膜 906 の表面が 40 nm 程度エッティングされる。

【0155】そして、第 1 のドーピング処理よりもドーズ量を下げ高加速電圧の条件で n 型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 \text{ keV}$ とし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、不純物濃度が大きくなった第 1 の不純物領域 924～927 と、前記第 1 の不純物領域 924～927 に接する第

2の不純物領域928～931とを形成する。この工程において、ドーピングの条件によっては、不純物が第2の形状の導電層918～921の下に回りこみ、第2の不純物領域928～931が第2の形状の導電層918～921と重なることも起こりうる。第2の不純物領域における不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³となるようとする。(図9(A))

【0156】そして、(図9(B))に示すように、pチャネル型TFTを形成する半導体層902、905に一導電型とは逆の導電型の不純物領域933(933a、933b)及び934(934a、934b)を形成する。この場合も第2の形状の導電層918、921をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する半導体層903、904は、レジストのマスク932を形成し全面を被覆しておく。ここで形成される不純物領域933、934はジボラン(B_xH_{1-x})を用いたイオンドープ法で形成する。不純物領域933、934のp型を付与する不純物元素の濃度は、 $2 \times 10^{19} \sim 2 \times 10^{21}$ atoms/cm³となるようとする。

【0157】しかしながら、この不純物領域933、934は詳細にはn型を付与する不純物元素を含有する2つの領域に分けて見ることができる。第3の不純物領域933a、934aは $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³の濃度でn型を付与する不純物元素を含み、第4の不純物領域933b、934bは $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm³の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域933b、934bのp型を付与する不純物元素の濃度を 1×10^{19} atoms/cm³以上となるようにし、第3の不純物領域933a、934aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0158】その後、図9(C)に示すように、第2の形状を有する導電層918～921およびゲート絶縁膜906上に第1の層間絶縁膜937を形成する。第1の層間絶縁膜937は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜937は無機絶縁物材料から形成する。第1の層間絶縁膜937として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSとO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。また、第1の層間絶縁膜

937として酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH₄、N₂O、NH₃から作製される酸化窒化シリコン膜、またはSiH₄、N₂Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波(60MHz)電力密度0.1～1.0W/cm²で形成することができる。また、第1の層間絶縁膜937としてSiH₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH₄、NH₃から作製することが可能である。

【0159】そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板501に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0160】活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある $10^{16} \sim 10^{18}/cm^3$ のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、半導体層902～905中の欠陥密度を $10^{16}/cm^3$ 以下とすることが望ましく、そのために水素を0.01～0.1atomic%程度付与すれば良い。

【0161】そして、有機絶縁物材料からなる第2の層間絶縁膜939を1.0～2.0μmの平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0162】このように、第2の層間絶縁膜939を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低ないので、寄生容量を低減できる。しかし、吸湿

性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜937として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0163】次に、図10(A)に示すように、第2の層間絶縁膜939を形成した後、第2の層間絶縁膜939に接するように、パッシベーション膜939を形成する。

【0164】パッシベーション膜939は、第2の層間絶縁膜939に含まれる水分が、画素電極947や、第3の層間絶縁膜982を介して、有機発光層950に入るのを防ぐのに効果的である。第2の層間絶縁膜939が有機樹脂材料を有している場合、有機樹脂材料は水分を多く含むため、パッシベーション膜939を設けることは特に有効である。

【0165】本実施例では、パッシベーション膜939として、窒化珪素膜を用いた。

【0166】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、まずエッチングガスにCF₄、O₂の混合ガスを用いてパッシベーション膜981をエッチングし、次にエッチングガスにCF₄、O₂、Heの混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜939をエッチングし、その後、続いてエッチングガスをCF₄、O₂として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスをCHF₃に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0167】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940～943とドレイン配線944～946を形成する。なお本明細書では、ソース配線とドレイン配線を併せて接続配線と呼ぶ。図示していないが、本実施例ではこの配線を、そして、膜厚50nmのTi膜と、膜厚500nmの合金膜(A1とTiとの合金膜)との積層膜で形成した。

【0168】次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターニングすることによって画素電極947を形成する(図10(A))。なお、本実施例では、透明電極として酸化インジウム・スズ(ITO)膜や酸化インジウムに2～20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。

【0169】また、画素電極947は、ドレイン配線946と接して重ねて形成することによって駆動用TFTのドレイン領域と電気的な接続が形成される。

【0170】図11に、画素電極947形成後の画素の上面図を示す。図11のA-A'における断面が、図1

0(A)の画素部の図に相当する。また図11において、780は放電用TFT、781は保持容量である。図11のB-B'における断面を、図12に示す。

【0171】保持容量781は、容量配線793と、活性層974と、容量配線793と活性層974の間に形成されたゲート絶縁膜906とを有している。活性層974が有する不純物領域982は、電源線943と接続されている

【0172】放電用TFT780は、ソース領域またはドレイン領域975、979と、LD領域976、978と、チャネル形成領域977とを有する活性層を有している。さらに放電用TFT780は、ゲート電極974と、該活性層とゲート電極974の間に形成されたゲート絶縁膜906とを有している。

【0173】ソース領域またはドレイン領域975は接続配線972を介して画素電極947に接続されている。また、ソース領域またはドレイン領域979は、接続配線971を介して放電線970に接続されている。

【0174】次に、図10(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜982を形成する。本実施例では、開口部を形成する際、ウエットエッチング法を用いることでテーパー形状の側壁とした。この場合、第3の層間絶縁膜982上に形成される有機発光層は分断されないため、開口部の側壁が十分になだらかでないと段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0175】なお、本実施例においては、第3の層間絶縁膜982として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)といった有機樹脂膜を用いることもできる。

【0176】そして、第3の層間絶縁膜982上に有機発光層950を形成する前に、第3の層間絶縁膜982の表面にアルゴンを用いたプラズマ処理を施し、第3の層間絶縁膜982の表面を緻密化しておくのが好ましい。上記構成によって、第3の層間絶縁膜982から有機発光層950に水分が入るのを防ぐことができる。

【0177】次に、有機発光層950を蒸着法により形成し、更に蒸着法により陰極(MgAg電極)951および保護電極952を形成する。このとき有機発光層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではOLEDの陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0178】なお、有機発光層950としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)である2層構造を有機発光層とするが、正孔注入

層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0179】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアソール誘導体のPBDを30~40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0180】また、保護電極952でも有機発光層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極952の後に大気開放しないで連続的に形成しても構わない。

【0181】また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層950、陰極951は非常に水分に弱いので、保護電極952までを大気開放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0182】なお、有機発光層950の膜厚は10~400[nm]（典型的には60~150[nm]）、陰極951の厚さは80~200[nm]（典型的には100~150[nm]）とすれば良い。

【0183】こうして図10（B）に示すような構造の発光装置が完成する。なお、画素電極947、有機発光層950、陰極951の重なっている部分954がOLEDに相当する。

【0184】pチャネル型TFT960及びnチャネル型TFT961は駆動回路が有するTFTであり、CMOSを形成している。スイッチング用TFT962及び駆動用TFT963は画素部が有するTFTであり、駆動回路のTFTと画素部のTFTとは同一基板上に形成することができる。

【0185】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【0186】なお本実施例は、実施例1または2と自由に組み合わせて実施することが可能である。

【0187】（実施例4）本実施例では、本発明の発光装置の外観図について、図13を用いて説明する。

【0188】図13（A）は、TFTが形成された基板（素子基板）をシーリング材によって封止することによって形成された発光装置の上面図であり、図13（B）は、図13（A）のA-A'における断面図、図13（C）は図13（A）のB-B'における断面図である。

【0189】基板4001上に設けられた画素部400

50

2と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0190】また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとは、複数のTFTを有している。図13（B）では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示する）4201及び画素部4002に含まれる駆動用TFT（OLEDへの電流を制御するTFT）4202を図示した。

【0191】本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、駆動用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には駆動用TFT4202のゲートに接続された保持容量（図示せず）が設けられる。

【0192】駆動TFT4201及び駆動用TFT4202上には層間絶縁膜（平坦化膜）4301が形成され、その上に駆動用TFT4202のドレンと電気的に接続する画素電極（陽極）4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0193】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0194】有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0195】有機発光層4204の上には遮光性を有す

る導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0196】以上のようにして、画素電極（陽極）4203、有機発光層4204及び陰極4205からなるOLED4303が形成される。そしてOLED4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、OLED4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0197】4005aは電源線に接続された引き回し配線であり、駆動用TFT4202のソース領域に電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

【0198】シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0199】但し、OLEDからの光の放射方向がカバ一材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0200】また、充填材4103としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

【0201】また充填材4103を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておこうために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性

物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、OLED4303の劣化を抑制できる。

10 【0202】図13(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0203】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

20 【0204】本実施例は、実施例1～3と自由に組み合わせて実施することが可能である。

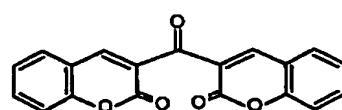
【0205】(実施例5) 本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLEDの低消費電力化、長寿命化、および軽量化が可能になる。

【0206】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

30 【0207】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【0208】

【化1】

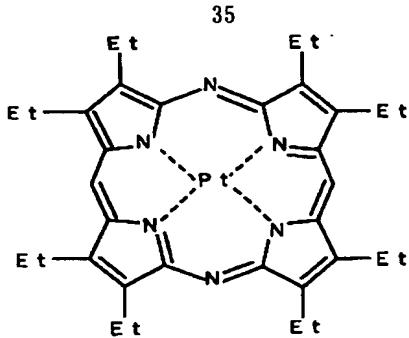


40 【0209】(M.A. Baldo, D.F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M.E. Thompson, S.R. Forrest, Nature 395 (1998) p. 151.)

【0210】上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【0211】

【化2】

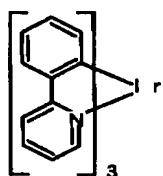


【0212】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Isuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【0213】上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

【0214】

【化3】



【0215】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの螢光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。

【0216】なお、本実施例の構成は、実施例1~実施例4のいずれの構成とも自由に組み合わせて実施することが可能である。

【0217】(実施例6) 発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0218】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図14に示す。

【0219】図14(A)はOLED表示装置であり、

10

筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。なお、OLED表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

10

【0220】図14(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッターボタン2106等を含む。本発明の発光装置は表示部2102に用いることができる。

10

【0221】図14(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

10

【0222】図14(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

10

【0223】図14(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

10

【0224】図14(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

10

【0225】図14(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

10

【0226】ここで図14(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができ

50

る。

【0227】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0228】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

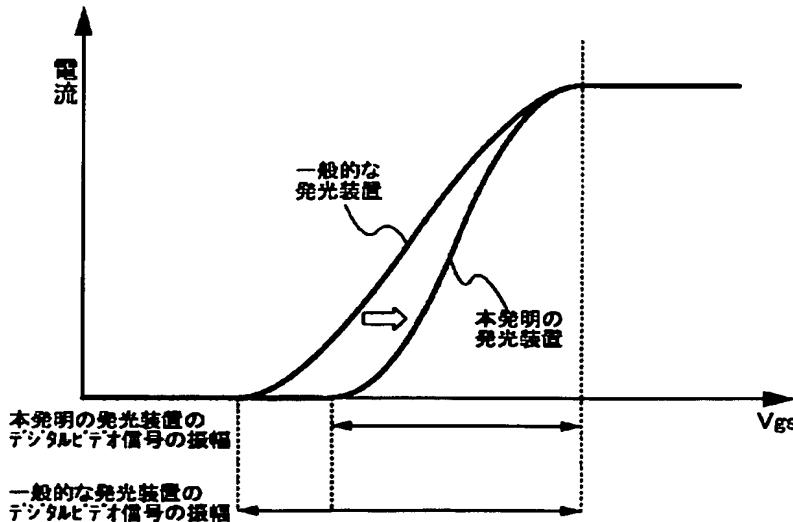
【0229】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0230】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～5に示したいずれの構成の発光装置を用いても良い。

[0 2 3 1]

【発明の効果】上記構成によって、本発明の発光装置では、駆動用TFTにオフ電流が流れても、オフ電流が放電用TFTを介して放電線に流れてしまうので、OLEDにほとんど電流が流れない。よって、OLEDが発光するのを防ぎ、コントラストの低下を抑え、表示画像が

【図 5】



乱れることを防ぐことができる。

【0232】また本発明の発光装置では、一般的な発光装置に比べて、駆動用TFTをオフにしたときに残光が残ってしまうのを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の発光装置のブロック図及び画素の回路図。

【図2】 本発明の発光装置の画素の構成を簡単に示す図及び、素子の電圧電流特性を示す図。

10 【図3】 本発明の発光装置の素子の電圧電流特性を示す図。

【図4】 本発明の発光装置の素子の電圧電流特性を示す図。

【図5】 本発明の発光装置の駆動用TFTの電圧電流特性を示す図。

【図6】 本発明の発光装置の駆動方法を示す図。

【図7】 本発明の発光装置の画素の回路図。

【図8】 発光装置の作製方法を示す図。

【図9】 発光装置の作製方法を示す図。

20 【図10】 発光装置の作製方法を示す図。
【図11】 発光装置の構造の上面図。

【図12】 発光装置の作製方法を示す図

【図13】 発光装置の外観図及び断面図

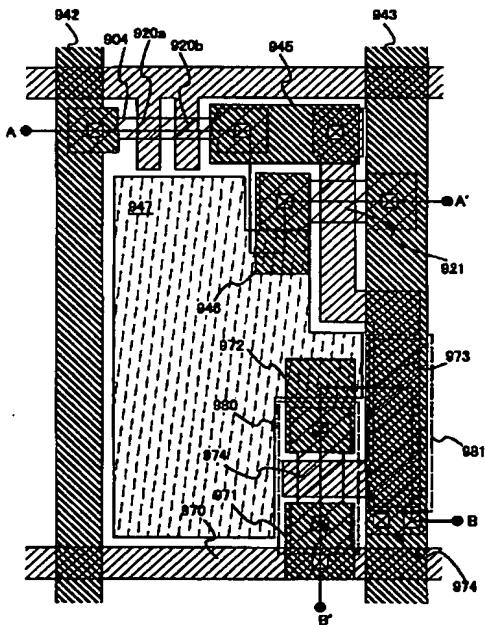
【図14】 本発明の発光装置を用いた電子

【図15】 一般的な発光装置の画素の回路図。

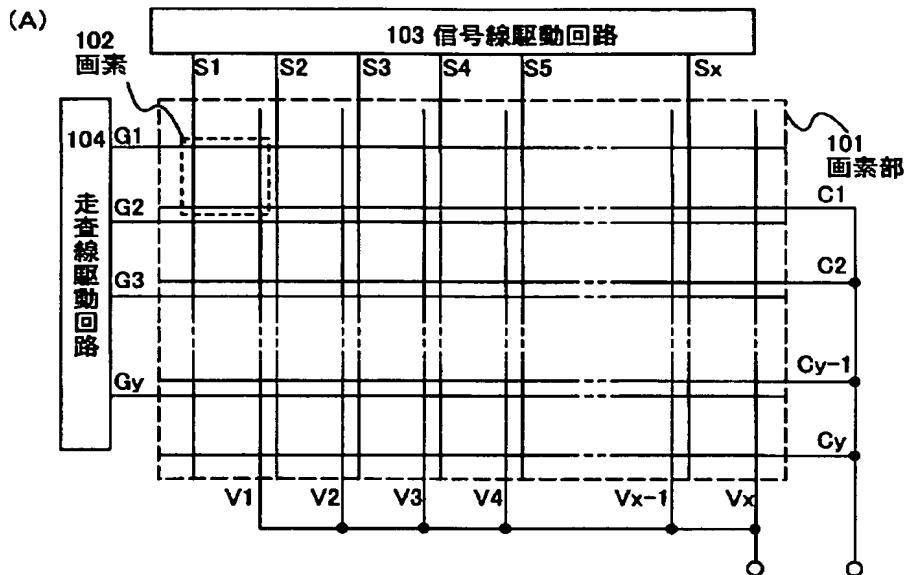
【図16】 一般的な発光装置の画素の構成を簡

【図17】 本発明の発光装置の画素の回路図。

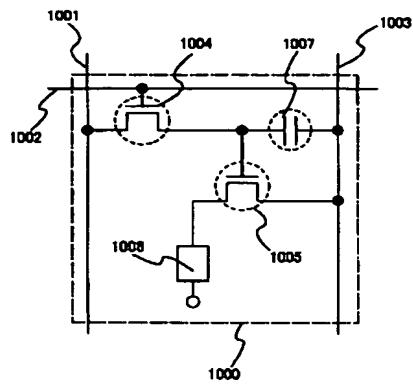
【四】



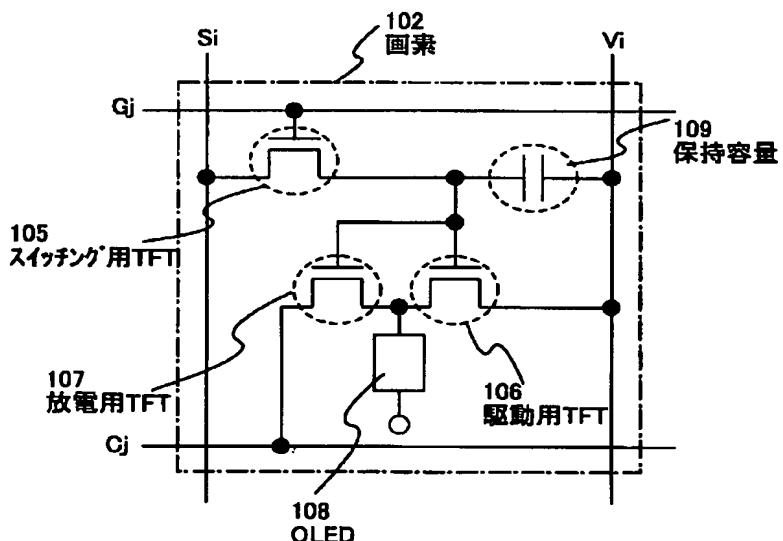
【図 1】



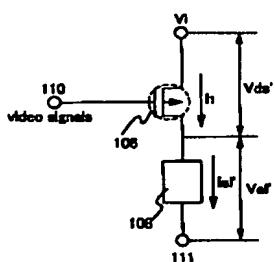
【図 15】



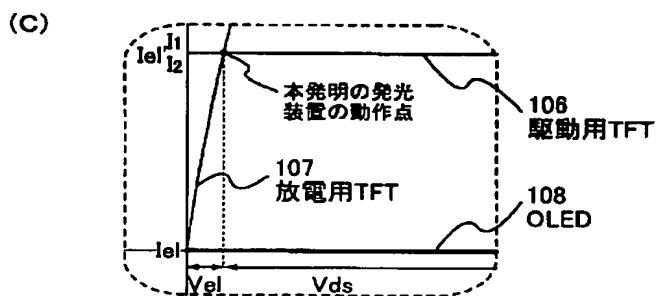
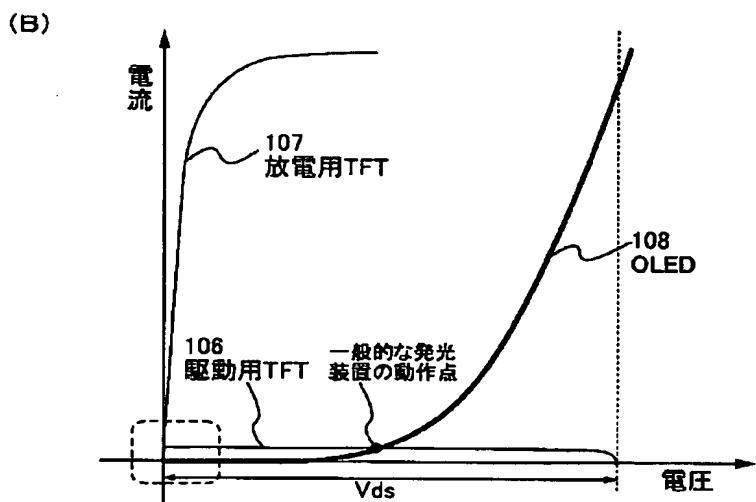
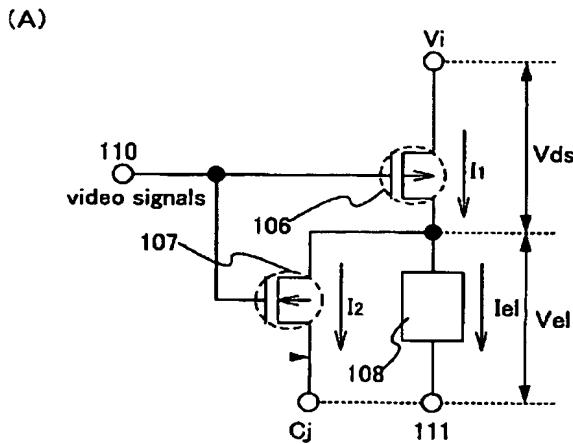
(B)



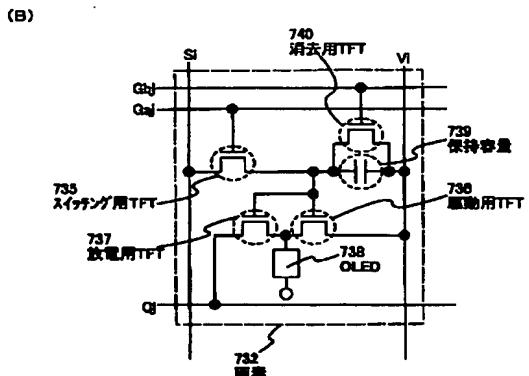
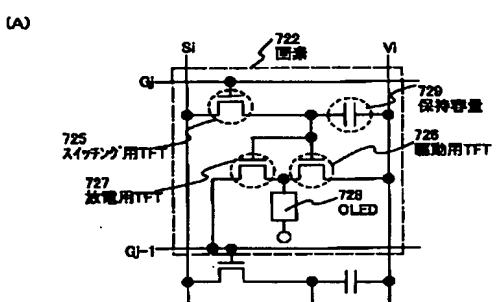
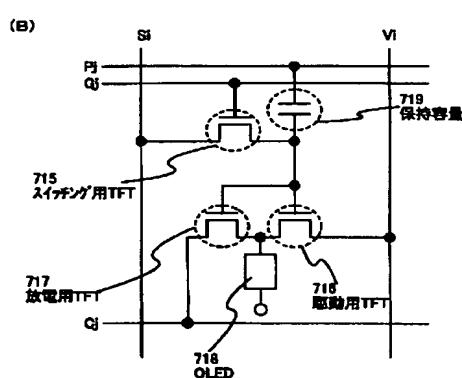
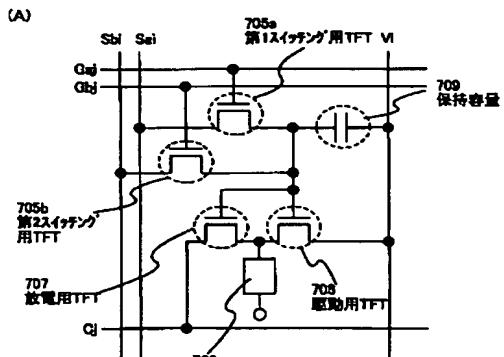
【図 16】



【図 2】



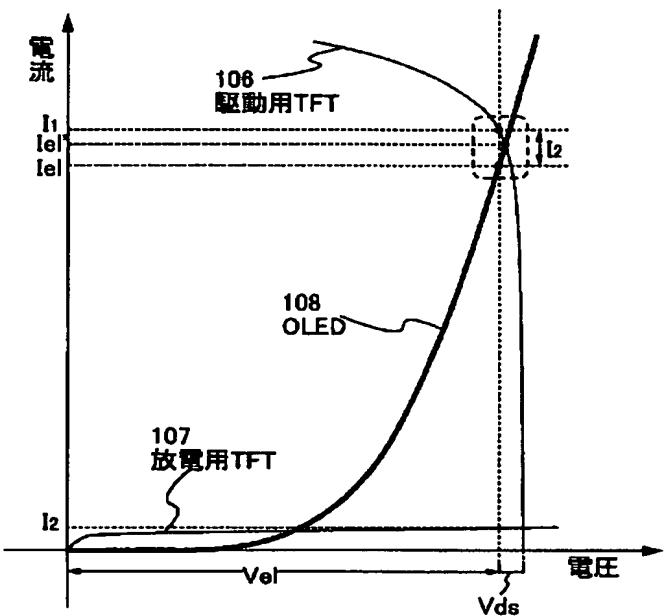
【図 7】



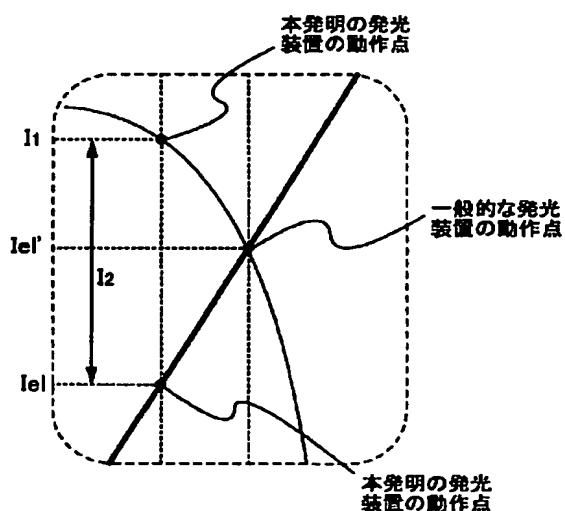
【図 17】

【図3】

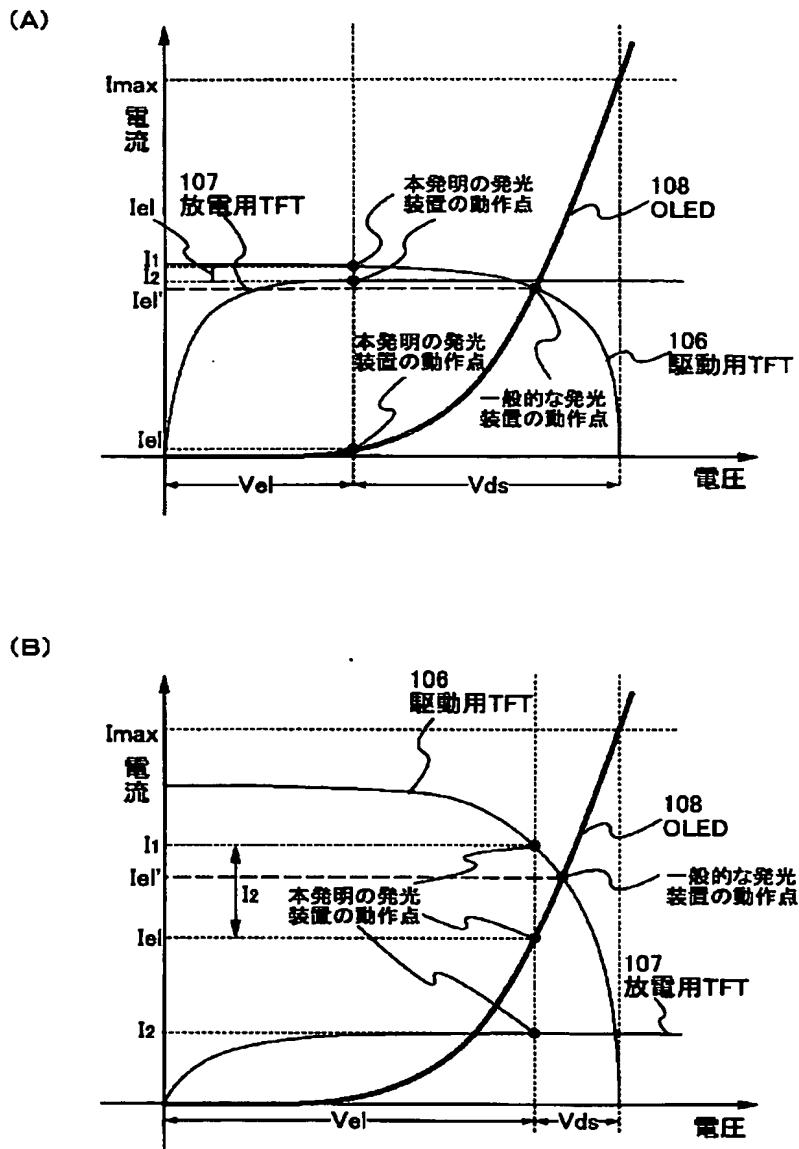
(A)



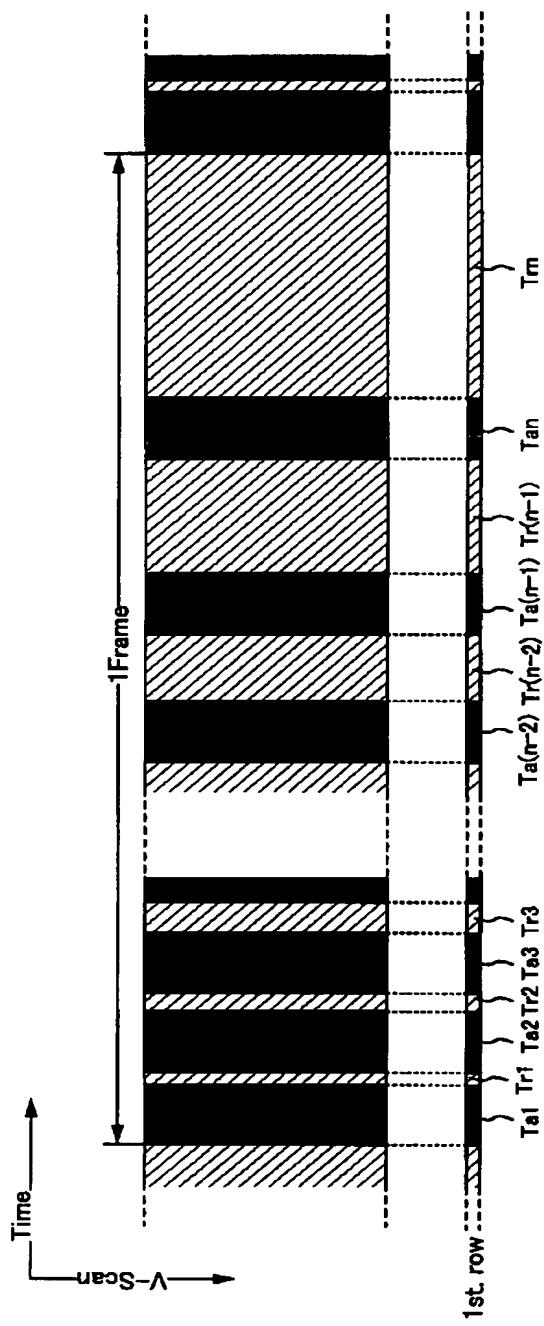
(B)



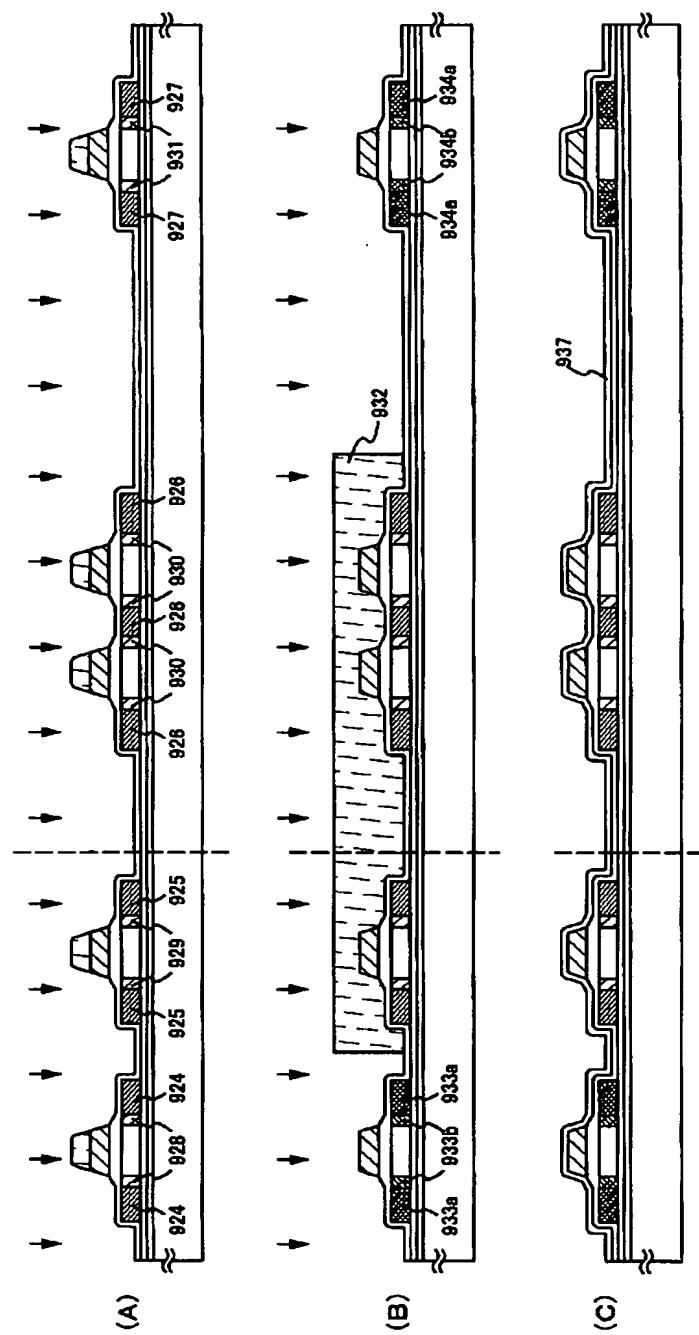
【図 4】



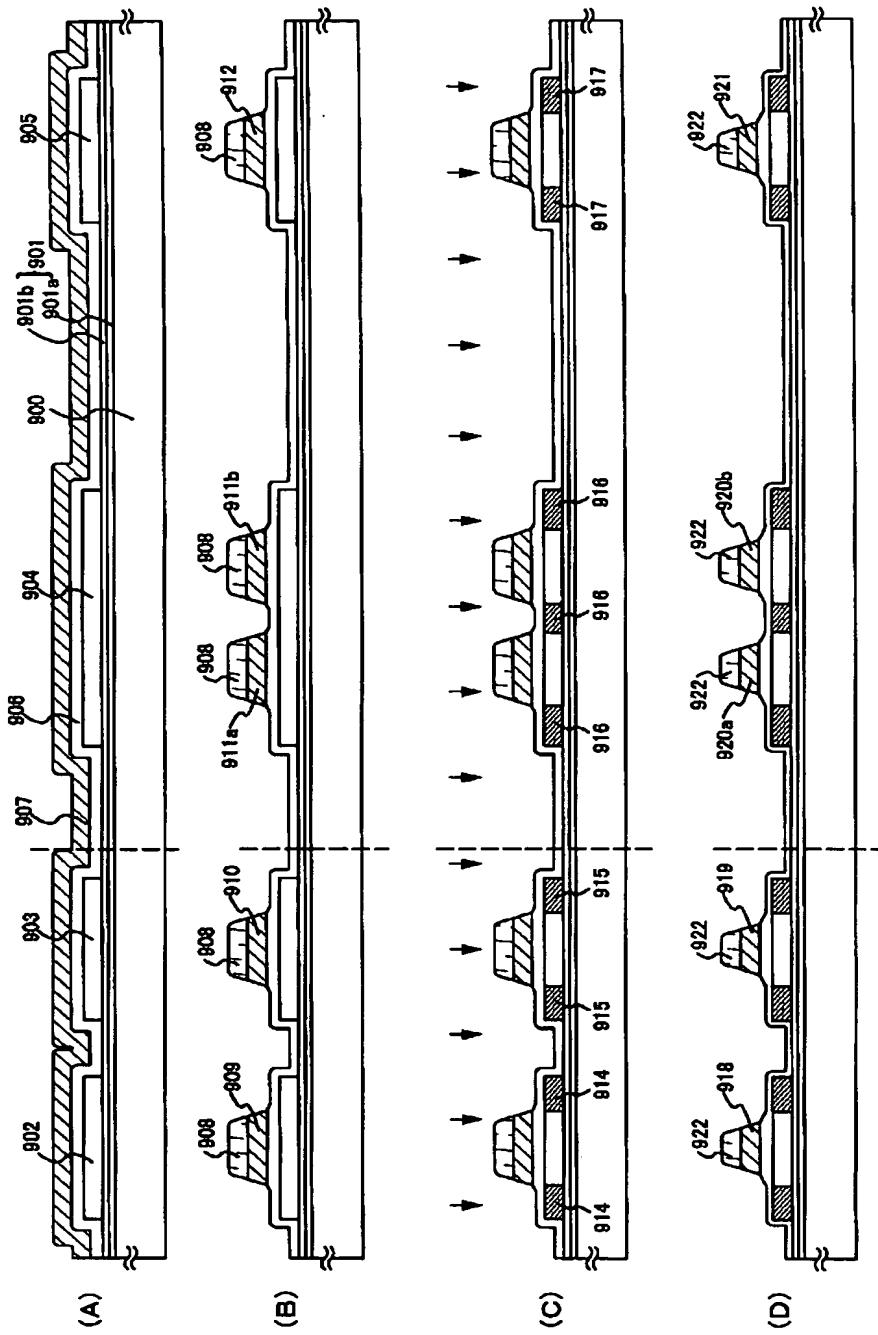
【図 6】



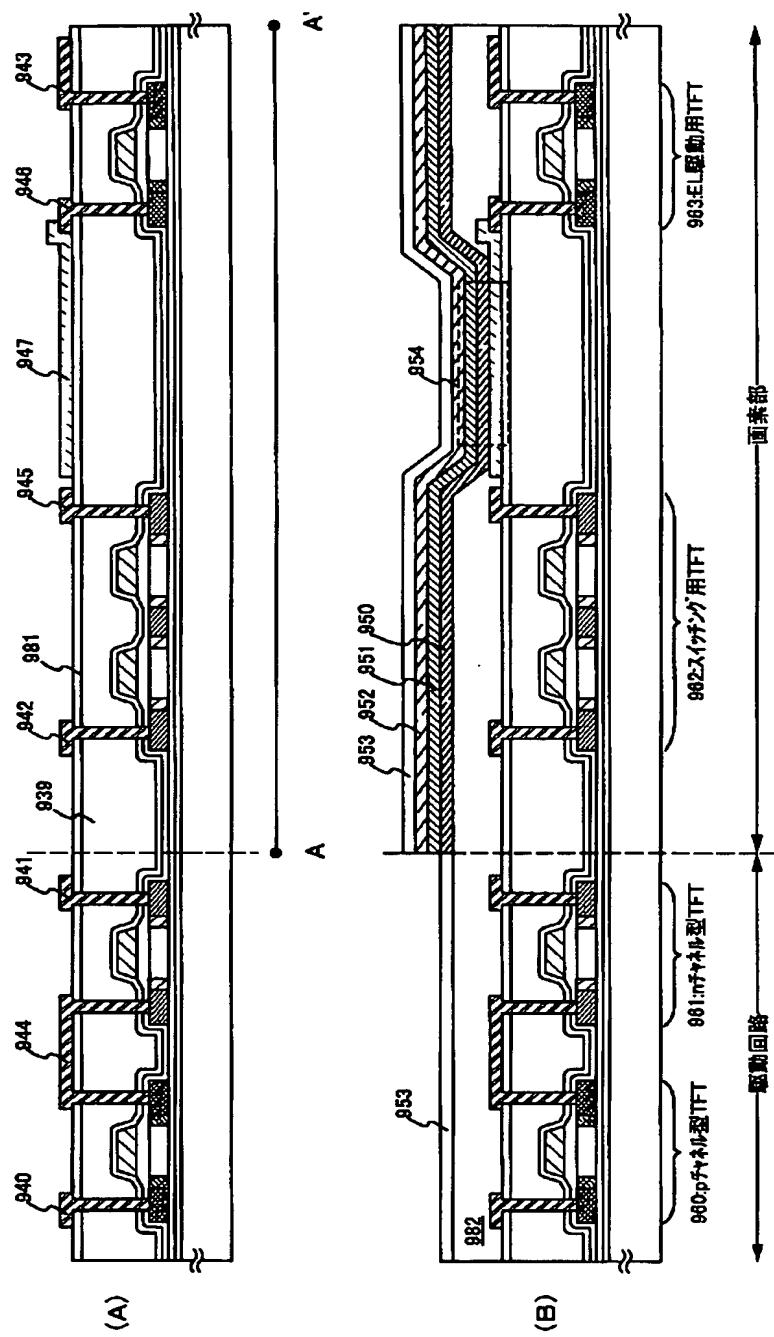
【図 9】



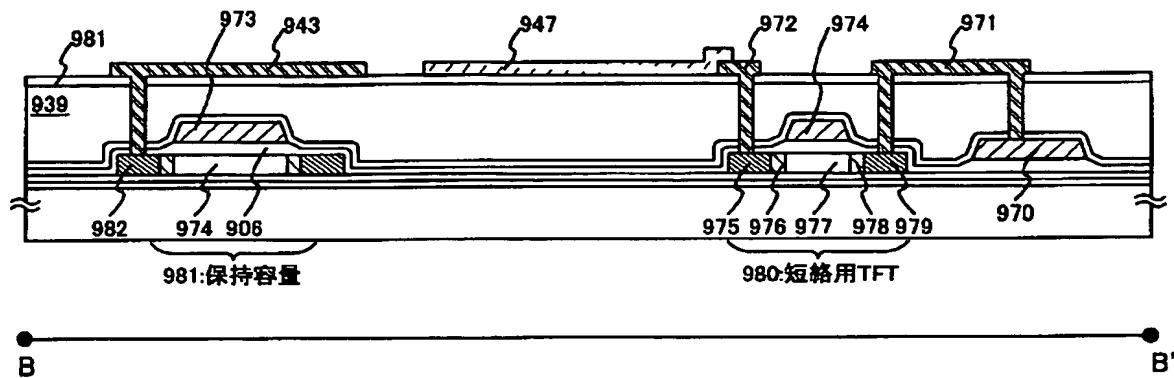
[図8]



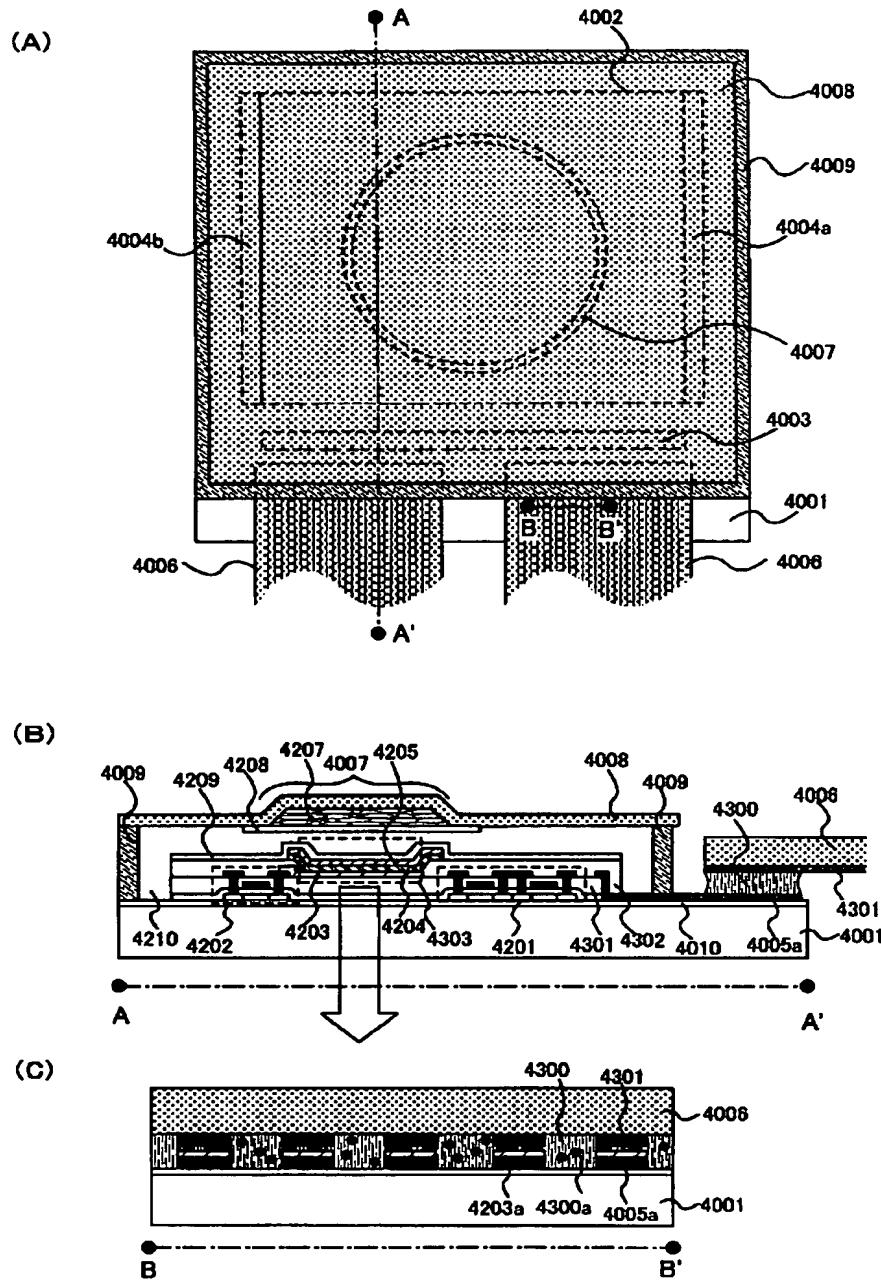
[図10]



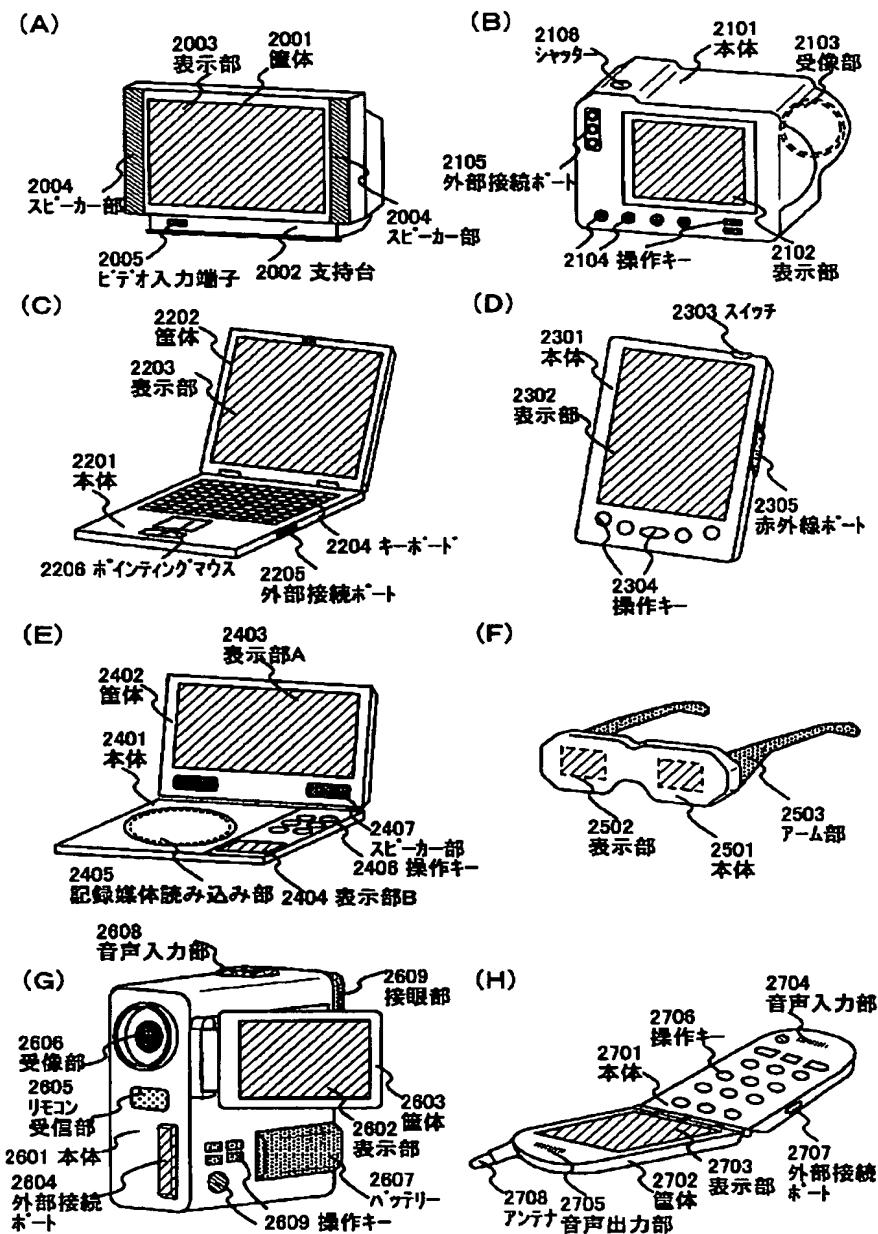
【図12】



【図13】



【図14】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.